

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-267596

(43)Date of publication of application : 29.09.2000

(51)Int.Cl.

G09F 9/30  
G02F 1/1365  
H01L 29/786  
H01L 21/336  
H04N 5/66

(21)Application number : 11-070273

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 16.03.1999

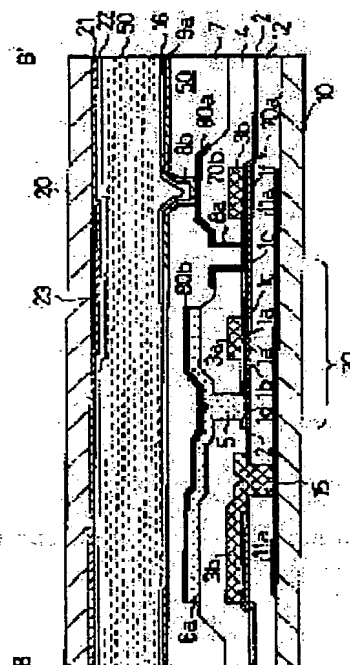
(72)Inventor : SATO TAKASHI

## (54) ELECTROOPTICAL DEVICE AND ITS PRODUCTION

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide an electrooptical device which has a light-shielding layer having enough light-shielding property and which can display high-quality images without decreasing the opening rate of pixels even when a pixel pitch is reduced, and to provide the producing method of this device.

**SOLUTION:** A liquid crystal device is equipped with TFTs 30, data lines 6a, scanning lines 3a, capacitor lines 3b and pixel electrodes 9a on a TFT array substrate. A light-shielding electrically conductive layer 80a made of a material different from the material to form the data lines is formed in an island state in the non-opening region of pixels which is between the data lines adjacent to each other on a first interlayer insulating film 4 and which extends along the scanning lines and capacitor lines. The pixel electrodes and TFTs are electrically connected to a part of a semiconductor layer 1a by way of the conductive layer 80a through two contact holes 8a, 8b.



## LEGAL STATUS

[Date of request for examination]

18.09.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

2005/09/12 14:00:00  
2005/09/12 14:00:00  
2005/09/12 14:00:00

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

[Claim(s)]

[Claim 1] The thin film transistor connected to the substrate at two or more scanning lines, two or more data lines and said scanning line, and said data lines, The semi-conductor layer which is the electro-optic device which has the pixel electrode connected to said thin film transistor, and serves as a source field of said thin film transistor, and a drain field, The gate electrode arranged through gate dielectric film on said semi-conductor layer, and the 1st interlayer insulation film arranged on said gate electrode, It has the 2nd interlayer insulation film arranged on said 1st interlayer insulation film. Said data line It is arranged and becomes so that it may connect with the source field of said semi-conductor layer through the 1st contact hole formed in said 1st interlayer insulation film. It comes to arrange the 1st conductive layer arranged so that it may connect with said data line on said data line. While the 2nd conductive layer which consists of the same layer as said 1st conductive layer is connected to the drain field of said semi-conductor layer through the 2nd contact hole formed in said 1st interlayer insulation film The electro-optic device characterized by being arranged in the shape of an island and becoming so that it may connect with said pixel electrode through the 3rd contact hole formed in said 2nd interlayer insulation film.

[Claim 2] Said 1st and 2nd conductive layers are electro-optic devices according to claim 1 characterized by having protection from light nature.

[Claim 3] It has the storage capacitance connected to said thin film transistor. Said storage capacitance The 1st storage capacitance electrode which it comes to install from the semi-conductor layer which constitutes said drain field, The 1st storage capacitance constituted by having the insulating thin film which consists of the same layer as said gate dielectric film between the 2nd storage capacitance electrodes which consist of a part of capacity line which consists of the same ingredient as said gate electrode, The electro-optic device according to claim 1 or 2 characterized by having the 2nd storage capacitance constituted by having said 1st interlayer insulation film between said 2nd storage capacitance electrode and said

2nd conductive layer.

[Claim 4] For said data line, said 1st and 2nd conductive layers are electro-optic devices given in any 1 term of claims 1-3 characterized by consisting of a different ingredient.

[Claim 5] Said 1st and 2nd conductive layers are electro-optic devices given in any 1 term of claims 1-4 characterized by mainly consisting of metal silicide.

[Claim 6] Said 1st interlayer insulation film is an electro-optic device given in any 1 term of claims 1-5 characterized by consisting of an insulating high dielectric constant ingredient.

[Claim 7] Said insulating high dielectric constant ingredient is an electro-optic device according to claim 6 characterized by consisting of one or more ingredients chosen from barium titanate, BST and RuO<sub>2</sub>, acid silicon nitride, tantalum oxide, silicon nitride, and oxidation silicon.

[Claim 8] Said 2nd contact hole and 3rd contact hole are an electro-optic device given in any 1 term of claims 2-7 characterized by being punctured by the different flat-surface location on one [ said ] substrate.

[Claim 9] Said 2nd contact hole and 3rd contact hole are an electro-optic device given in any 1 term of claims 2-7 characterized by being punctured by the same location on one [ said ] substrate.

[Claim 10] An electro-optic device given in any 1 term of claims 1-9 characterized by having a substrate light-shielding film further between said substrates and said semi-conductor layers so that the channel field of said semi-conductor layer may be covered at least.

[Claim 11] The thin film transistor connected to the substrate at two or more scanning lines, two or more data lines and said scanning line, and said data lines, The process which forms the semi-conductor layer which is the manufacture approach of an electro-optic device of having the pixel electrode connected to said thin film transistor, and serves as said 1st storage capacitance electrode on said substrate at a source drain field list, The process which forms the insulating thin film which constitutes the gate dielectric film of said thin film transistor, and the dielectric film of said storage capacitance on said semi-conductor layer, The process which forms said scanning line and said capacity line on said insulating thin film, respectively, The process which forms the 1st interlayer insulation film above said scanning line and said capacity line, The process which forms the 1st and 2nd contact holes in said 1st interlayer insulation film on said source field and said drain field, While forming the 1st conductive layer so that it may connect with said source field through said 1st contact hole, and it may connect with said data line the process

which forms said data line, and on said data line The process which forms the island-like 2nd conductive layer so that it may connect with said drain field, The process which forms the 2nd interlayer insulation film on the 1st and 2nd conductive layers, and the process which forms the 3rd contact hole in said 2nd interlayer insulation film on said 2nd conductive layer, The manufacture approach of the electro-optic device characterized by having the process which forms said pixel electrode so that it may connect with said 2nd conductive layer through said 3rd contact hole.

[Claim 12] For said data line, said 1st and 2nd conductive layers are the manufacture approaches of the electro-optic device according to claim 11 characterized by consisting of a different ingredient.

#### [Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention belongs to the technical field of electro-optic devices, such as liquid crystal equipment of a thin film transistor (TFT is called hereafter.) active-matrix drive method, and the manufacture approach of those, and belongs to the technical field of an electro-optic device equipped with the capacity line for adding the light-shielding film and storage capacitance which have been arranged on the TFT substrate with which especially TFT was formed, and its manufacture approach.

[0002]

[Description of the Prior Art] Conventionally, in the liquid crystal panel of the active-matrix drive method by TFT drive, much TFT(s) are prepared on the TFT array substrate at many the scanning lines and the data-line lists which were arranged in all directions, respectively corresponding to each of these intersections. A gate electrode is connected to the scanning line, a source electrode is connected to the data line, and, as for each TFT, the drain electrode is connected to the pixel electrode. Since especially the pixel electrode is prepared on the layer insulation membrane layer for insulating mutually various kinds of layers which constitute TFT and wiring, and the pixel electrode concerned, it is connected to the drain electrode of TFT through the contact hole punctured by the interlayer insulation film here. And if a scan signal is supplied to the gate electrode of TFT through the scanning line, TFT will be made into an ON state and the picture signal supplied to the source electrode (or drain electrode) of TFT through the data line will be supplied to a pixel electrode through between the source-drain concerned of TFT. As for supply of such a picture signal, only a short time is

extremely performed for every pixel electrode through each TFT. For this reason, in order to hold farther than the time amount made into this ON state the electrical potential difference of the picture signal with which only ultrashort time amount is supplied through TFT made into the ON state [ long duration ], it is common to each pixel electrode that storage capacitance is formed in liquid crystal capacity and juxtaposition. Storage capacitance is built to each pixel electrode by installing the semi-conductor layer which generally constitutes the near drain electrode connected to the pixel electrode in TFT, considering as the 1st storage capacitance electrode, using as the 2nd storage capacitance electrode a part of capacity line formed along with the scanning line, and carrying out opposite arrangement of these two storage capacitance electrodes through an insulator layer (namely, dielectric film). Or in this configuration, it is added by using the scanning line of the preceding paragraph as the 2nd storage capacitance electrode instead of a capacity line.

[0003] With storage capacitance with such a configuration, it becomes possible from the ON time amount of TFT for pixel switching to maintain the electrical potential difference of the picture signal in a pixel electrode [, for example / time amount long in about triple figures ], and even if duty ratio is small, good high image display of a contrast ratio can be performed.

[0004] On the other hand, in this kind of electro-optic device, the channel field which is in the source electrode and drain electrode list of TFT for pixel switching among these consists of semi-conductor layers formed on the TFT array substrate. A pixel electrode needs to be connected with the drain electrode (or source electrode) of a semi-conductor layer through two or more interlayer insulation films for carrying out the electric insulation of wiring and these of the scanning line which makes a laminated structure, a capacity line, the data line, etc. mutually. Here, since the distance between layers from the semi-conductor layer in a laminated structure to a pixel electrode is longer than about 1000nm or it especially in the case of the poly-Si TFT of the forward stagger mold which has the top gate structure where see from a TFT array substrate side and a gate electrode is prepared on a semi-conductor layer, or a coplanar mold, it becomes difficult to puncture the contact hole for carrying out electrical installation of both. Along with etching deeply, etching precision more specifically falls, in order that possibility of running through and puncturing a target semi-conductor layer may come out, it is only dry etching and it becomes very difficult to puncture

such a deep contact hole. For this reason, although carried out to dry etching combining wet etching then, it becomes difficult for the path of a contact hole to become large by wet etching, and to arrange wiring and an electrode in the limited substrate top field, shortly, as required.

[0005] Then, in case the contact hole which reaches a source field is punctured and the electrical installation of the data line and a source field is recently taken to the interlayer insulation film formed on the scanning line. The conductive layer for junction called the barrier metal or the barrier layer which punctures the contact hole which reaches a drain field and consists of the same layer as the data line and the same ingredient (usually aluminum) on this interlayer insulation film is formed. Then, the technique which punctures the contact hole from a pixel electrode to this barrier metal is developed to the interlayer insulation film formed on the data line and this barrier metal. Thus, if it constitutes so that the barrier metal which consists of the same layer as the data line may be relayed and the electrical installation from a pixel electrode to a drain field may be taken, the puncturing process of a contact hole etc. becomes easy, and the path of each contact hole will also be small and will end rather than it punctures the contact hole from a pixel electrode to a semi-conductor layer at once. Then, one or more are made to intervene between the semi-conductor layer which constitutes TFT [ in / for the conductive layer for junction called barrier metal or a barrier layer / a laminated structure ] from recently, and the ITO film which constitutes a pixel electrode, and the technique of preparing two pieces or the contact hole beyond it in the direction of thickness at a serial is proposed.

[0006] Furthermore, aluminum (aluminum) usually used as an ingredient of the data line and the ITO (Indium Tin Oxide) film usually used as an ingredient of a pixel electrode have bad affinity when joining, and if both are joined directly, in order that electric corrosion corrosion may break out, contacting wiring which consists of wiring and the electrode which consist of aluminum film, and ITO film, and an electrode must avoid. Then, in case wiring, an electrode, etc. which consist of two film with such bad affinity are connected, the technique which carries out the laminating of the layers, such as titanium (Ti), on the conductive layer for junction (aluminum) mentioned above is also proposed.

[0007] Recently, further, the capacity line which consists of the same polish recon as the scanning line etc. is made to carry out opposite arrangement of a part of this barrier layer through an interlayer insulation film, and the technique which adds storage capacitance

additionally is also proposed at the same time it uses electric conduction film, such as aluminum which constitutes the data line, as a barrier layer between a semi-conductor layer and a pixel electrode. Since according to this technique it uses as an electrode for storage capacitance while using the same barrier layer for junction wiring, both junction wiring and electrode for storage capacitance can be formed at the same process. Therefore, also when aiming at a deployment of the limited substrate top field, this technique is advantageous while it is advantageous on a manufacture process.

[0008]

[Problem(s) to be Solved by the Invention] In this kind of electro-optic device, a general request called high-definition-izing of a display image is strong, and, for that, it becomes important [ high-definition-izing of an image display field or detailed-izing of a pixel pitch (namely, a scanning-line pitch and a data-line pitch), and the formation of a high pixel numerical aperture (that is, raise the ratio of the pixel opening field which the display light to the non-pixel opening field which display light does not penetrate penetrates in each pixel) ] very [ it ].

[0009] However, if detailed-ization of a pixel pitch progresses, whenever [ allowances / of the alignment precision of the light-shielding film formed in the substrate (usually opposite substrate) of another side usually called a black matrix or a black mask and one substrate (usually TFT array substrate) ] (margin) will become small. Decline in a pixel numerical aperture arises by the location gap with the black mask on an opposite substrate. Furthermore, if light is equivalent to a TFT thin film transistor from an opposite substrate side by this location gap, leak of a photocurrent will arise and, thereby, a flicker of a screen, turbulence of monochrome contrast, a cross talk, etc. will arise.

[0010] Usually, although the data line formed with aluminum functions also as a light-shielding film by the side of a TFT substrate, the protection-from-light nature of aluminum is not enough. Moreover, by the hillock which is the phenomenon which produces an assembly projection when heat is applied, aluminum may break an insulator layer and may cause short-circuit. Furthermore, since the etching reagent of the pixel electrode which consists of the data line which consists of aluminum, and ITO is the same, the data line may be etched in the case of etching of a pixel electrode.

[0011] Although it is also possible to use the conductive layer for junction mentioned above as a light-shielding film, aluminum, Ti, etc. which are the ingredient of the conductive layer for junction

do not have enough protection from light nature.

[0012] Furthermore, although there is a technique in which are on the transparency substrate which forms a thin film transistor, and the return light from a TFT substrate side etc. prevents the situation which carries out incidence to the channel field and LDD (Lightly Doped Drain) field of a thin film transistor by preparing light-shielding films, such as tungsten silicide, in the thin film transistor bottom, the protection from light nature by this light-shielding film is not enough. In detail, although the light-shielding film which consists of tungsten silicide is usually formed of an ordinary temperature spatter and is high film of the protection from light nature of an amorphous condition at the time of membrane formation, it requires the heat around 1000 degrees C at the process performed to the back, such as a formation process of gate oxide, and turns into crystallization film. Under the present circumstances, since WSi<sub>2</sub> is protection from light nature if it is Si/W=2, it is satisfactory, but since film peeling is set to Si/W=2.7-2.8 to it being Si/W=2 in fact by that of a lifting or a cone, WSi<sub>2</sub> of protection from light nature and penetrable Si arise and it lets light pass a little as a whole, protection from light nature is not enough.

[0013] Moreover, if detailed-ization of a pixel pitch progresses, since the ratio into which these wiring, electrodes, etc. occupy an image display field relatively since there is a limitation of essential detailed-izing in the diameter of a contact hole by the manufacturing technology further, electrode size, wiring width of face, and will increase, there is a trouble that a pixel numerical aperture will become low.

[0014] Furthermore, if detailed-ization of a pixel pitch progresses in this way, it will become difficult to make the above-mentioned storage capacitance into sufficient magnitude that it must make to the limited substrate top field. For this reason, a flicker of a screen, turbulence of monochrome contrast, a cross talk, etc. arise in the case of projection.

[0015] Let it be a technical problem for this invention to be made in view of an above-mentioned trouble, and to have the protection from light layer which has protection from light nature sufficient on the 1st interlayer insulation film, not to reduce a pixel numerical aperture, even if it makes a pixel pitch detailed, and to offer the high-definition electro-optic device in which image display is possible and its high-definition manufacture approach.

[0016]

[Means for Solving the Problem] The scanning line

and two or more data lines of plurality [substrate] in order that the electro-optic device of this invention may solve the above-mentioned technical problem, The semi-conductor layer which is the electro-optic device which has the thin film transistor connected to said scanning line and said data line, and the pixel electrode connected to said thin film transistor, and serves as a source field of said thin film transistor, and a drain field, The gate electrode arranged through gate dielectric film on said semi-conductor layer, and the 1st interlayer insulation film formed on said gate electrode, It has the 2nd interlayer insulation film arranged on said 1st interlayer insulation film. Said data line It is arranged and becomes so that it may connect with the source field of said semi-conductor layer through the 1st contact hole formed in said 1st interlayer insulation film. It comes to arrange the 1st conductive layer arranged so that it may connect with said data line on said data line. While the 2nd conductive layer which consists of the same layer as said 1st conductive layer is connected to the drain field of said semi-conductor layer through the 2nd contact hole arranged at said 1st interlayer insulation film It is characterized by being arranged in the shape of an island and becoming so that it may connect with said pixel electrode through the 3rd contact hole formed in said 2nd interlayer insulation film.

[0017] While the 2nd conductive layer which consists of the same layer as said 1st conductive layer is connected to the drain field of said semi-conductor layer through the 2nd contact hole formed in said 1st interlayer insulation film according to this mode of this invention Since it is arranged in the shape of an island and becomes so that it may connect with said pixel electrode through the 3rd contact hole formed in said 2nd interlayer insulation film, the configuration which carries out electrical installation of a semi-conductor layer and the pixel electrode via the 2nd conductive layer is attained.

[0018] According to the mode of 1 of the electro-optic device of this invention, the 1st and 2nd conductive layers are characterized by having protection from light nature.

[0019] Since according to this mode of this invention the conductive layer is prepared in the predetermined location on the 1st interlayer insulation film in the shape of an island, and it has protection from light nature sufficient on the 1st interlayer insulation film, and light-shielding films, such as a black matrix by the side of an opposite substrate, can be omitted or a flat-surface configuration can be small formed for the black matrix by the side of an opposite substrate rather than a protection from light layer, even if it is the

case where a pixel pitch is made detailed, decline in a pixel numerical aperture is avoidable. If an opening field is specified without forming a light-shielding film especially in an opposite substrate, while becoming possible to reduce the processes in a manufacture process, it becomes possible and is also advantageous to prevent the fall and dispersion of a pixel numerical aperture by the alignment gap between the substrates of a pair.

[0020] In addition, it is on the 1st interlayer insulation film, and the protection-from-light layer which consists of a different ingredient from the formation ingredient of the data line can also be prepared in the frame field around a screen which does not form the data line.

[0021] According to other modes of the electro-optic device of this invention, it has the storage capacitance connected to said thin film transistor. Said storage capacitance The 1st storage capacitance electrode which it comes to install from the semi-conductor layer which constitutes said drain field, The 1st storage capacitance constituted by having the insulating thin film which consists of the same layer as said gate dielectric film between the 2nd storage capacitance electrodes which consist of a part of capacity line which consists of the same ingredient as said gate electrode, It is characterized by having the 2nd storage capacitance constituted by having said 1st interlayer insulation film between said 2nd storage capacitance electrode and said 2nd conductive layer.

[0022] Since according to this mode it opposite- to a pixel electrode and the 1st and 2nd storage capacitance can be added, the increment in storage capacitance is attained.

[0023] The electro-optic device of this invention is characterized by said 1st and 2nd conductive layers consisting of a different ingredient from said data line.

[0024] According to such a configuration, the protection-from-light layer which has protection-from-light nature sufficient on the data line can be formed. For example, protection-from-light nature becomes more perfect by forming in piles on aluminum data line. Moreover, when a conductive protection-from-light layer is formed on the data line, the dependability of wiring improves. Furthermore, since the short-circuit resulting from the hillock of aluminum can be prevented by, for example, forming a hard protection-from-light layer in piles on the data line of aluminum and it is etched neither in ITO nor the etching reagent of SiO<sub>2</sub>, aluminum data line can be protected in the case of etching using these etching reagents.

[0025] According to the mode of 1 of the 1st and

2nd electro-optic devices of this invention, said protection-from-light layer or a conductive protection-from-light layer mainly consists of metal silicide.

[0026] According to this mode, the metal silicide containing at least one of W (tungsten), Mo(molybdenum) Ta (tantalum), and Cr(s) (chromium), Ti (titanium) and Pb(s) (lead) has sufficient protection-from-light nature, and has conductivity sufficient as a junction conductive layer or a storage capacitance electrode, for example. As for these metal silicide, from a viewpoint of protection-from-light nature, it is desirable that it is in a non-single crystal condition (amorphous condition). After forming these metal silicide, since the upper limit temperature in subsequent processes is about 400 degrees C, the fall of the protection-from-light nature by crystallization is not produced, either.

[0027] Since especially WSi<sub>2</sub> (tungsten silicide) is hard, it is forming in piles on aluminum data line, and the short-circuit resulting from the hillock of aluminum can be prevented. Moreover, since tungsten silicide is not etched with the etching reagent of the pixel electrode which consists of ITO, it does not have a possibility that the data line may be etched in the case of etching of a pixel electrode.

[0028] According to other modes of the electro-optic device of this invention, said 1st interlayer insulation film consists of an insulating high dielectric constant ingredient.

[0029] According to this mode, the increment in the storage capacitance in the 2nd storage capacitance which consists of 3rd storage capacitance electrodes which consist of said 2nd storage capacitance electrode and said 3rd conductive layer is attained by using the 1st interlayer insulation film as an insulating high dielectric constant ingredient. Since the 1st interlayer insulation film needs a certain amount of thickness, it is advantageous to the increment in storage capacitance to use a high dielectric constant ingredient with large specific inductive capacity. as said insulating high dielectric constant ingredient, barium titanate, BST and RuO<sub>2</sub>, acid silicon nitride, tantalum oxide, silicon nitride, oxidation silicon, etc. mention -- having -- these -- a kind -- independent -- or you may compound and use, and a laminating may be carried out and you may use. Said insulating ferroelectric ingredient layer can be formed by the chemical or physical thin film formation approaches, such as CVD and PVD.

[0030] According to other modes of the electro-optic device of this invention, said 2nd contact hole and 3rd contact hole are punctured by the different flat-surface location on one [ said ]

substrate.

[0031] According to this mode, as compared with the case where one contact hole is punctured, the path of a contact hole can be made small from a pixel electrode to a drain field in the same flat-surface location. That is, in order to fall and to prevent the thrust omission in a thin semi-conductor layer, etching precision must stop the dry etching which can make the path of a contact hole small on the way, and it must construct a process so that it may finally puncture to a semi-conductor layer by wet etching, so that a contact hole is punctured deeply. For this reason, the path of a contact hole cannot but spread by wet etching without directivity. On the other hand, in this mode, since what is necessary is just to connect a pixel electrode and drain inter-electrode by the 2nd and 3rd two in-series contact holes, it becomes possible to shorten distance which becomes possible [ puncturing each contact hole by dry etching ], or is punctured by wet etching at least. Consequently, the path of the 2nd and 3rd contact holes can be made small, respectively, and since the hollow and irregularity which are formed in the front face of the conductive protection-from-light layer in the 2nd contact hole are also small and end, flattening in the pixel electrode section located in that upper part is promoted. Furthermore, since the hollow and irregularity which are formed in the front face of the pixel electrode in the 3rd contact hole are also small and end, flattening in this pixel electrode section is promoted. Defects, such as disclination in electrooptic material, such as liquid crystal resulting from the hollow and irregularity of a pixel-electrode surface, are reduced these results.

[0032] According to other modes of the electro-optic device of this invention, said 2nd contact hole and 3rd contact hole may be punctured by the same location on one [ said ] substrate.

[0033] According to this mode, since opening of the contact hole is carried out to the same location, reduction of the opening field by formation of a contact hole can be prevented.

[0034] In addition, the contact to conductive protection-from-light layer 80a formed on the insulating layer 4 between the 1st layer as the electro-optic device of this invention was shown in drawing 5 R> 5, pixel electrode 9a formed in the insulating layer 7 between the 2nd layer, and semi-conductor layer 1a Through contact hole 8a and contact hole 8b, as shown in drawing 5 (1) and drawing 5 (2), it can form in the same flat-surface location, and it can also form in a flat-surface location which is different as shown in drawing 5 (3). In addition, in the mode shown in drawing 5 (2), width of face of contact holes 8a and 8b can be

made small compared with the mode shown in (1). In the mode shown in drawing 5 (3), while being able to make small the bore diameter of contact holes 8a and 8b and excelling in the correspondence nature to detailed-izing of a pixel pitch, it is easy to manufacture.

[0035] According to other modes of the electro-optic device of this invention, it is characterized by having a substrate light-shielding film further between said substrates and said semi-conductor layers, so that the channel field of said semi-conductor layer may be covered at least.

[0036] According to this mode, it can prevent that the property of a thin film transistor deteriorates according to generating of the photocurrent which could prevent the situation in which the return light from one substrate side etc. carries out incidence to the channel field and LDD (Lightly Doped Drain) field of a thin film transistor, and originated in this by the substrate light-shielding film. And it also becomes possible to specify some or all of a pixel opening field by this substrate light-shielding film. In addition, although protection-from-light nature may fall with heating in subsequent processes, this substrate light-shielding film is combining with the protection-from-light layer of this invention formed in the shape of an island on the data line, the scanning line, and a capacity line, and can secure more sufficient protection-from-light nature.

[0037] In the mode which equipped the thin film transistor bottom with the substrate light-shielding film, said substrate light-shielding film may be installed in the bottom of said scanning line, and may be connected to the constant source of potential. Thus, if constituted, the potential of a substrate light-shielding film is changed and the situation where the property in the thin film transistor prepared above the substrate light-shielding film concerned through an interlayer insulation film deteriorates can be prevented. Or in the mode equipped with this substrate light-shielding film, electrical installation of said substrate light-shielding film may be carried out to said capacity line through the contact hole punctured by other interlayer insulation films which intervene between said substrate light-shielding films and said semi-conductor film. Thus, if constituted, potential of a capacity line and a substrate light-shielding film can be made the same, and if the configuration which makes predetermined potential either a capacity line and a substrate light-shielding film is taken, potential of another side will also be made with predetermined potential. Consequently, the bad influence by the



potential shake in a capacity line or a substrate light-shielding film can be reduced. Moreover, wiring and the capacity line which consist of a substrate light-shielding film may be mutually operated as redundancy wiring.

[0038] The scanning line and two or more data lines of plurality [ substrate ] in order that the manufacture approach of the electro-optic device of this invention may solve the above-mentioned technical problem, It is the manufacture approach of an electro-optic device of having the thin film transistor connected to said scanning line and said data line, and the pixel electrode connected to said thin film transistor. The process which forms the semi-conductor layer which serves as said 1st storage capacitance electrode at a source drain field list on said substrate, The process which forms the insulating thin film which constitutes the gate dielectric film of said thin film transistor, and the dielectric film of said storage capacitance on said semi-conductor layer, The process which forms said scanning line and said capacity line on said insulating thin film, respectively, The process which forms the 1st interlayer insulation film above said scanning line and said capacity line, The process which forms the 1st and 2nd contact holes in said 1st interlayer insulation film on said source field and said drain field, While forming the 1st conductive layer so that it may connect with said source field through said 1st contact hole, and it may connect with said data line the process which forms said data line, and on said data line The process which forms the island-like 2nd conductive layer so that it may connect with said drain field, The process which forms the 2nd interlayer insulation film on the 1st and 2nd conductive layers, and the process which forms the 3rd contact hole in said 2nd interlayer insulation film on said 2nd conductive layer, It is characterized by having the process which forms said pixel electrode so that it may connect with said 2nd conductive layer through said 3rd contact hole.

[0039] According to such a configuration, it is a comparatively small routing counter, and the electro-optic device of this invention mentioned above can be manufactured using each comparatively easy process. The 1st and 2nd contact holes for forming the 2nd conductive layer and the data line especially can be formed in coincidence, and an electro-optic device can be manufactured at few processes.

[0040] According to the mode of 1 of the manufacture approach of the electro-optic device of this invention, said 1st and 2nd conductive layers are characterized by consisting of a different ingredient from the data line.

[0041] According to this mode, the 1st conductive

layer can be formed on said data line, and it is efficient for island-like the 2nd conductive layer and coincidence which are formed in said predetermined field using a different ingredient from the formation ingredient of the data line. That is, there is the approach of 1st carrying out patterning of this film after forming the film for forming the data line, forming the data line, carrying out patterning of this film after forming \*\*\*\*\* subsequently, and forming the 1st and 2nd conductive layers. In this case, in the formation process of the data line, it can leave the 2nd conductive layer of the shape of an island which becomes the non-opening field (suitably henceforth an island-like field) of the pixel which is between the data lines with which it adjoins on the 1st interlayer insulation film each other, and is extended along with the scanning line and a capacity line from the formation ingredient of the data line, and the same ingredient.

[0042] By the 1st approach, about the data line, as shown, for example in drawing 6, only in data-line 6a (drawing (1)), protection-from-light layer 80b has [ protection-from-light layer 80b ] a wrap mode (this drawing (3)) to the side face of data-line 6a only in the top face of wrap mode (this drawing (2)) and data-line 6a. In drawing 6 (2) and the mode of (3), it is effective in the ability to prevent the short-circuit resulting from the hillock of aluminum, and protect aluminum data line from ITO or the etching reagent of SiO<sub>2</sub>, and the mode of drawing 6 (3) of such effectiveness is higher. On the other hand, about an island-like field, as shown in drawing 7, only in protection-from-light layer 80a ( drawing 7 (1)), a wrap mode (this drawing (3)) has protection-from-light layer 80a only in the top face of island-like light-shielding film 6c where protection-from-light layer 80a consists of the same ingredient as a wrap mode (this drawing (2)) and the formation ingredient of the data line to the side face of light-shielding film 6c of the shape of an island which consists of the same ingredient as the formation ingredient of the data line. In drawing 7 (2) and the mode of (3), since resistance is low, aluminum etc. becomes possible [ lowering contact resistance ].

[0043] There is the approach of carrying out patterning after membrane formation and in this cascade screen in piles about the film for forming the film for 2nd forming the data line and a protection-from-light layer, or a conductive protection-from-light layer.

[0044] In this case, about the data line, it becomes the mode of drawing 6 (3), and becomes the mode of drawing 7 (3) about an island-like field.

[0045] Patterning of this film is carried out after forming the film for 3rd forming the data line, only the data line is formed (it does not form in an

island-like field), and, subsequently there is the approach of forming the contact hole of a conductive protection-from-light layer and a semi-conductor layer, carrying out patterning of this film after forming the film for [conductive] carrying out the protection-from-light stratification after that, and forming a conductive protection-from-light layer. In this case, apart from the contact hole of the data line, since the contact hole of a conductive protection-from-light layer and a semi-conductor layer is formed, it is avoidable for AlSi to arise from a semi-conductor layer and aluminum, and to do a bad influence.

[0046] In addition, the film for forming a protection-from-light layer or a conductive protection-from-light layer in the 3rd approach from the above 1st can be formed first, and the film for forming the data line can also be formed later. That is, if the "data line", and "a protection-from-light layer or a conductive protection-from-light layer" is replaced and read in the 3rd approach from the above 1st, the approach which made order or vertical relation reverse will become possible.

[0047] Such an operation and other gains of this invention are made clear from the gestalt of the operation explained below.

[0048]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained based on a drawing.

[0049] (The 1st operation gestalt of an electro-optic device) The configuration of the liquid crystal equipment which is the 1st operation gestalt of the electro-optic device by this invention is explained with reference to drawing 4 from drawing 1. Drawing 1 is equal circuits, such as various components in two or more pixels formed in the shape of [which constitutes the image display field of liquid crystal equipment] a matrix, and wiring, drawing 2 is a top view of two or more pixel groups where the TFT array substrate with which the data line, the scanning line, the pixel electrode, the light-shielding film, etc. were formed adjoins each other, drawing 3 is the part plan of drawing 2, and drawing 4 is the B-B' sectional view of drawing 2. In addition, in order to make each class and each part material into the magnitude of extent which can be recognized on a drawing, scales are made to have differed for each class or every each part material in drawing 1 - drawing 4.

[0050] In drawing 1, two or more formation of TFT30 for two or more pixels formed in the shape of [which constitutes the image display field of the liquid crystal equipment in this operation gestalt] a matrix to control pixel electrode 9a is carried out at the shape of a matrix, and data-line 6a to which

a picture signal is supplied is electrically connected to the source concerned of TFT30. The picture signals S1, S2, --, Sn written in data-line 6a may be supplied to line sequential, and you may make it supply them to this order for every group to two or more data-line 6a which adjoin each other. Moreover, scanning-line 3a is electrically connected to the gate of TFT30, and it consists of predetermined timing so that the scan signals G1, G2, --, Gm may be impressed to scanning-line 3a in pulse line sequential at this order. It connects with the drain of TFT30 electrically, and pixel electrode 9a writes in the picture signals S1, S2, --, Sn supplied from data-line 6a in TFT30 which is a switching element when only a fixed period closes the switch to predetermined timing. Fixed period maintenance of the picture signals S1, S2, --, Sn of the predetermined level written in liquid crystal through pixel electrode 9a is carried out between the counterelectrodes (it mentions later) formed in the opposite substrate (it mentions later). When the orientation and order of molecular association change with the voltage levels impressed, liquid crystal modulates light and enables a gradation display. According to the electrical potential difference impressed when it was in no MARI White mode, passage of this liquid crystal part of incident light is made impossible, if it is in NOMA reeve rack mode, according to the impressed electrical potential difference, passage of this liquid crystal part of incident light will be enabled, and light with the contrast according to a picture signal will carry out outgoing radiation from liquid crystal equipment as a whole. Here, in order to prevent the held picture signal leaking, storage capacitance 70 is added to the liquid crystal capacity and juxtaposition which are formed between pixel electrode 9a and a counterelectrode. For example, as for the electrical potential difference of pixel electrode 9a, only time amount also with triple figures longer than the time amount to which the source electrical potential difference was impressed is held with storage capacitance 70. Thereby, it is improved further and a maintenance property can realize the high liquid crystal equipment of a contrast ratio.

[0051] In drawing 2, on the TFT array substrate of liquid crystal equipment, two or more transparent pixel electrode 9a (the profile is shown by dotted-line section 9a') is prepared in the shape of a matrix, and data-line 6a, scanning-line 3a, and capacity line 3b are prepared respectively along the boundary of pixel electrode 9a in every direction. Electrical installation of the data-line 6a is carried out to the below-mentioned source field among semi-conductor layer 1a which consists of polish

recon film etc. through a contact hole 5.

[0052] Especially with the gestalt of this operation, as shown in drawing 3, conductive protection-from-light layer 80a is formed in the island-like field which conductive protection-from-light layer 80b (a conductive protection-from-light layer is called hereafter.) which the bottom of drawing Nakamigi showed with the slash of \*\* is formed on data-line 6a, and was shown with the slash of a drawing Nakamigi riser.

[0053] In drawing 2, pixel electrode 9a relays conductive protection-from-light layer 80a formed in the island-like field shown in drawing 3, respectively, and electrical installation is carried out to the below-mentioned drain field among semi-conductor layer 1a through contact hole 8a and contact hole 8b. Moreover, scanning-line 3a is arranged so that channel field 1a' (field of the slash of drawing Nakamigi going down) may be countered among semi-conductor layer 1a, and scanning-line 3a functions as a gate electrode. Thus, TFT30 by which opposite arrangement of the scanning-line 3a was carried out as a gate electrode is formed in the crossing part of scanning-line 3a and data-line 6a at channel field 1a', respectively.

[0054] Capacity line 3b has the main track section mostly extended in the shape of a straight line along with scanning-line 3a, and the lobe projected to the preceding paragraph side (inside of drawing, facing up) along with data-line 6a from the part which intersects data-line 6a.

[0055] Electrical installation especially of the rectangular conductive protection-from-light layer 80a is carried out to the drain field of semi-conductor layer 1a by contact hole 8a, respectively, and electrical installation is carried out to pixel electrode 9a by contact hole 8b, and it is functioning as the conductive layer for junction between a drain field and pixel electrode 9a, or a buffer. This conductive protection-from-light layer 80a is explained in full detail behind.

[0056] Moreover, 1st light-shielding film 11a is prepared in the field shown with the slash of a drawing Nakamigi riser, respectively so that it may pass along scanning-line 3a, capacity line 3b, and the TFT30 bottom. In drawing 2, while being formed in the shape of stripes along with scanning-line 3a and capacity line 3b, 1st light-shielding film 11a is formed along with data-line 6a, looks at each channel field 1a' of TFT from a TFT array substrate side by these, and is more specifically prepared in the wrap location, respectively.

[0057] Next, as shown in the sectional view of drawing 4, liquid crystal equipment is equipped with the TFT array substrate 10 which constitutes

an example of the substrate of while it is transparence, and the opposite substrate 20 which it is the transparence by which opposite arrangement is carried out at this, and also constitutes an example of the substrate of a way. The TFT array substrate 10 consists for example, of a quartz substrate, and the opposite substrate 20 consists of a glass substrate or a quartz substrate. Pixel electrode 9a is prepared in the TFT array substrate 10, and the orientation film 16 with which predetermined orientation processing of rubbing processing etc. was performed is formed in the bottom. Pixel electrode 9a consists of transparent conductive thin films, such as for example, ITO (Indium Tin Oxide) film. Moreover, the orientation film 16 consists of organic thin films, such as for example, a polyimide thin film.

[0058] On the other hand, it crosses to the opposite substrate 20 all over the, the counterelectrode (common electrode) 21 is formed, and the orientation film 22 with which predetermined orientation processing of rubbing processing etc. was performed is formed in the bottom. A counterelectrode 21 consists of transparent conductive thin films, such as for example, ITO film. Moreover, the orientation film 22 consists of organic thin films, such as a polyimide thin film.

[0059] TFT30 for pixel switching which carries out switching control of each pixel electrode 9a is formed in the location which adjoins each pixel electrode 9a at the TFT array substrate 10.

[0060] As further shown in the opposite substrate 20 at drawing 4, the 2nd light-shielding film 23 called a black mask or a black matrix is formed in the non-opening field of each pixel. For this reason, incident light trespasses neither upon channel field 1a' of semi-conductor layer 1a of TFT30 for pixel switching, nor the LDD fields 1b and 1c from the opposite substrate 20 side. Furthermore, the 2nd light-shielding film (substrate light-shielding film) 23 has functions, such as color mixture prevention of the color material at the time of forming improvement in contrast, and a color filter.

[0061] Thus, it is constituted, and between the TFT array substrates 10 and the opposite substrates 20 which have been arranged so that pixel electrode 9a and a counterelectrode 21 may meet, the liquid crystal which is an example of electrooptic material is enclosed with the space surrounded by the below-mentioned sealant (refer to drawing 13 and drawing 14), and the liquid crystal layer 50 is formed. The liquid crystal layer 50 takes a predetermined orientation condition with the orientation film 16 and 22 in the condition that the electric field from pixel electrode 9a are not impressed. The liquid crystal

layer 50 consists of liquid crystal which mixed the pneumatic liquid crystal of a kind or some kinds. It is the adhesives which consist of a photo-setting resin or thermosetting resin in order that a sealant may stick two substrates 10 and 20 around those, and gap material (spacer), such as glass fiber for making distance between both substrates into a predetermined value or a glass bead, is mixed.

[0062] Furthermore, as shown in drawing 4, in the location which counters TFT30 for pixel switching respectively, 1st light-shielding film 11a is prepared between the TFT array substrate 10 and each TFT30 for pixel switching. 1st light-shielding film 11a consists of a metal simple substance containing at least one of Ti, Cr, W, Ta, Mo, and Pb(s) which are a desirable opaque refractory metal, an alloy, metal silicide, etc. If constituted from such an ingredient, 1st light-shielding film 11a is destroyed by high temperature processing in the formation process of TFT30 for pixel switching performed after the formation process of 1st light-shielding film 11a on the TFT array substrate 10, or it can avoid fusing by it. Since 1st light-shielding film 11a is formed, the situation which carries out incidence to channel field 1a' of TFT30 for pixel switching which the reflected light (return light) from the TFT array substrate 10 side etc. tends to excite to light, or the LDD fields 1b and 1c can be prevented, and the property of TFT30 for pixel switching does not deteriorate according to generating of the photocurrent resulting from this.

[0063] Furthermore, the interlayer insulation film 12 is formed between 1st light-shielding film 11a and two or more TFT30 for pixel switching. An interlayer insulation film 12 is formed in order to carry out the electric insulation of the semi-conductor layer 1a which constitutes TFT30 for pixel switching from 1st light-shielding film 11a. Furthermore, an interlayer insulation film 12 also has a function as substrate film for TFT30 for pixel switching by being formed all over the TFT array substrate 10. That is, it has the function to prevent degradation of the property of TFT30 for pixel switching with the dry area at the time of polish of the front face of the TFT array substrate 10, the dirt which remains after washing. An interlayer insulation film 12 consists of high insulation glass, such as NSG (non silicate glass), PSG (phosphorus silicate glass), BSG (boron silicate glass), and BPSG (boron phosphorus silicate glass), or silicon oxide film, a silicon nitride film, etc. An interlayer insulation film 12 can also protect the situation where 1st light-shielding film 11a pollutes the TFT30 grade for pixel switching.

[0064] 1st storage capacitance 70a consists of

these operation gestalten by considering as the 1st dielectric film which installed semi-conductor film 1a from high concentration drain field 1e, considered as the 1f of the 1st storage capacitance electrodes, used as the 2nd storage capacitance electrode a part of capacity line 3b which counters this, installed gate dielectric film 2 from the location which counters scanning-line 3a, and was pinched by inter-electrode [ these ]. Furthermore, 2nd storage capacitance 70b is formed by using a part of this 2nd storage capacitance electrode and conductive protection-from-light layer 80a which counters as the 3rd storage capacitance electrode, and making the 1st interlayer insulation film 4 placed between inter-electrode [ these ]. And parallel connection of these 1st and 2nd storage capacitance 70a and 70b is carried out through contact hole 8a, and storage capacitance 70 is constituted. That is, the increment in the storage capacitance by conductive protection-from-light layer 80a is attained.

[0065] More, high concentration drain field 1e of semi-conductor layer 1a is installed by the detail in the bottom of data-line 6a and scanning-line 3a, and forms TFT30 for pixel switching in it, opposite arrangement is carried out through an insulator layer 2, it considers as the 1f of the 1st storage capacitance electrodes, and the insulator layer 2 is functioning on the capacity line 3b part similarly extended along with data-line 6a and scanning-line 3a as a dielectric film. Since especially the insulator layer 2 as the 1st dielectric film of 1st storage capacitance 70a is exactly gate dielectric film 2 of TFT30 formed on the polish recon film of high temperature oxidation, it can be made into the thin-insulator layer of high pressure-proofing, and can constitute 1st storage capacitance 70a from small area as mass storage capacitance comparatively. Moreover, 2nd storage capacitance 70b can be comparatively constituted as storage capacitance of small area using the field between the data lines which adjoin each other as shown in drawing 3. Therefore, let storage capacitance 70 which consists of these 1st and 2nd storage capacitance 70a and 70b in three dimensions be storage capacitance mass in small area, using effectively the tooth space which separated from a pixel opening field called the field (namely, field in which capacity line 3b was formed) which the disclination of liquid crystal generates along with the field under data-line 6a, and scanning-line 3a. [0066] In drawing 4 TFT30 for pixel switching Channel field 1a' of semi-conductor layer 1a in which it has LDD structure and a channel is formed of the electric field from scanning-line 3a and concerned scanning-line 3a, Gate dielectric film 2, data-line 6a which insulate scanning-line

3a and semi-conductor layer 1a, 1d list of high concentration source fields of low concentration source field (source side LDD field) 1b of semi-conductor layer 1a and low concentration drain field (drain side LDD field) 1c, and semi-conductor layer 1a is equipped with high concentration drain field 1e. One to which it corresponds of two or more pixel electrode 9a relays conductive protection-from-light layer 80a to high concentration drain field 1e, and it is connected to it. The drain fields 1c and 1e are formed in source field 1b and 1d list to semi-conductor layer 1a like the after-mentioned by doping the dopant the object for n molds of predetermined concentration, or for p molds according to whether the channel of n mold or p mold is formed. TFT of an n-type channel has the advantage that a working speed is quick, and it is used as TFT30 for pixel switching which is the switching element of a pixel in many cases. this operation gestalt -- especially -- data-line 6a -- aluminum etc. -- low -- it consists of protection-from-light nature and conductive thin films, such as metal membrane metallurgy group silicide [ \*\*\*\* ]. [ , such as alloy film, ] Moreover, contact hole 8a which leads to the contact hole 5 and high concentration drain field 1e which lead to 1d of high concentration source fields is respectively formed in the 1st interlayer insulation film 4. Electrical installation of the data-line 6a is carried out to 1d of high concentration source fields through the 1d [ of this high concentration source field ] contact hole 5. Furthermore, contact hole 8b which leads to conductive protection-from-light layer 80a is formed in the 2nd interlayer insulation film 7. Through this contact hole 8b, electrical installation of the pixel electrode 9a is carried out to conductive protection-from-light layer 80a, it relays conductive protection-from-light layer 80a further, and electrical installation is carried out to high concentration drain field 1e through contact hole 8a. The above-mentioned pixel electrode 9a is prepared in the top face of the 2nd interlayer insulation film 7 constituted in this way.

[0067] Although TFT30 for pixel switching has LDD structure as mentioned above preferably, it may be TFT of the self aryne mold which may have the offset structure which does not drive impurity ion into low concentration source field 1b and low concentration drain field 1c, drives in impurity ion by high concentration by using gate electrode 3a as a mask, and forms the high concentration source and a drain field in self align. [0068] Moreover, although considered as the single gate structure which has arranged one gate electrode 3a of TFT30 for pixel switching among 1d [ of high concentration source fields ], and high

concentration drain field 1e with this operation gestalt, two or more gate electrodes may be arranged among these. Under the present circumstances, to each gate electrode, the same signal is made to be impressed. Thus, if TFT is constituted above the dual gate or the triple gate, the leakage current of a channel and a source-drain field joint can be prevented, and the current at the time of OFF can be reduced. If at least one of these gate electrodes is made into LDD structure or offset structure, the OFF state current can be reduced further and the stable switching element can be obtained.

[0069] As shown in drawing 2 and drawing 4 , with the liquid crystal equipment of this operation gestalt, it is prepared on the TFT array substrate 10 so that data-line 6a and scanning-line 3b may carry out a phase crossover in three dimensions through the 1st interlayer insulation film 4. And conductive protection-from-light layer 80a intervenes between semi-conductor layer 1a and pixel electrode 9a, and carries out electrical installation of high concentration drain field 1e and the pixel electrode 9a via contact holes 8a and 8b.

[0070] For this reason, as compared with the case where one contact hole is punctured, the path of contact holes 8a and 8b can be made small from pixel electrode 9a to a drain field, respectively. That is, etching precision must stop the dry etching which can make the path of a contact hole small on the way, and when puncturing one contact hole, in order to fall (for example, in order to prevent the thrust omission in about 50nm very thin semi-conductor layer 1a), it must construct a process so that it may finally puncture to a semi-conductor layer by wet etching, so that a contact hole will be punctured deeply, if the selection ratio at the time of etching is low. Or it will be necessary to be based on dry etching, to run and to prepare the polish recon film for prevention separately.

[0071] On the other hand, with this operation gestalt, since what is necessary is just to connect pixel electrode 9a and high concentration drain field 1e by two in-series contact holes 8a and 8b, it becomes possible to puncture these contact holes 8a and 8b by dry etching, respectively. Or it becomes possible to shorten distance punctured by wet etching at least. However, since the charge by the plasma will flow in a semi-conductor layer and the electrostatic discharge of TFT will happen if contact hole 8a is punctured by dry etching to the last, before reaching a semi-conductor layer, it is desirable to perform a stop and after that wet etching for dry etching. Moreover, in order to attach some taper to contact holes 8a and 8b, respectively, it may dare to be made to perform

short-time wet etching after dry etching comparatively. In the case of wet etching, some taper is attached to a contact hole by the penetration and isotropic etching of an etching reagent to an interface with a resist.

[0072] Since the hollow and irregularity which the path of contact holes 8a and 8b can be made small, respectively, and are formed above contact hole 8a are also small and end according to this operation gestalt as mentioned above, flattening in the part of pixel electrode 9a located in the upper part is promoted. Furthermore, since the hollow and irregularity which are formed in the front face of pixel electrode 9a in contact hole 8b are also small and end, flattening in the part of this pixel electrode 9a is promoted. These results, the disclination (poor orientation) in the liquid crystal layer 50 resulting from the surface hollow and the irregularity of pixel electrode 9a is reduced, and, finally high-definition image display becomes possible with the liquid crystal equipment concerned. For example, if thickness of the 2nd interlayer insulation film 7 which intervenes between conductive protection-from-light layer 80a and pixel electrode 9a is made into about thousands of Å, the path of contact hole 8b which influences more directly the hollow and irregularity in a front face of pixel electrode 9a mentioned above can be made very small. Moreover, the situation which irregularity amplifies as it is \*\*\*\*\* in the irregularity generated in the flat-surface location where these contact holes 8a and 8b were punctured is avoidable. Therefore, the good contact in these contact holes is expectable.

[0073] In addition, conductive protection-from-light layer 80a is constituted from metal silicide, such as Ti, Cr, W, Ta, Mo, Pb, etc. which are mainly a refractory metal, etc. by this operation gestalt. For this reason, since the selection ratios in etching with the metal silicide film and an interlayer insulation film (namely, glass membrane and silicon film) differ greatly, most possibility that conductive protection-from-light layer 80a by the dry etching like the above-mentioned will run cannot be found.

[0074] As for the thickness of conductive protection-from-light layer 80a, it is desirable to consider for example, as 50nm or more 500nm or less extent. or [ that possibility of running at the time of puncturing of contact hole 8b in a manufacture process if there is thickness of about 50nm becomes low, and the irregularity of the front face of pixel electrode 9a will not pose a problem if it is about 500nm ] -- or it is because flattening is comparatively easily possible.

[0075] With this operation gestalt, it is prepared throughout the non-opening field of the shape of a

grid which surrounds each pixel so that 1st light-shielding film 11a may see from the TFT array substrate 10 side and may cover scanning-line 3a, capacity line 3b, and data-line 6a. Furthermore, the contact hole 15 which carries out electrical installation of capacity line 3b and the 1st light-shielding film 11a is established in the interlayer insulation film 12. Capacity line 3b and 1st light-shielding film 11a are connected to constant potential wiring in the substrate boundary region. Therefore, 1st light-shielding film 11a has a function as constant potential wiring or redundancy wiring of capacity line 3b with the function to specify a pixel opening field. Thus, if constituted, it will become possible to specify a pixel puncturing field by the 1st light-shielding film 11a independent. Furthermore, potential of capacity line 3b and 1st light-shielding film 11a is made to the same fixed potential, and capacity line 3b, the picture signal by the potential shake in 1st light-shielding film 11a, and the bad influence of TFT30 can be reduced.

[0076] Moreover, capacity line 3b and scanning-line 3a consist of the same polish recon film, consist of high-temperature-oxidation film with same 1st dielectric film of 1st storage capacitance 70a and gate dielectric film 2 of TFT30 for pixel switching etc., and consist of channel formation field 1a' of the 1f of the 1st storage capacitance electrodes, and TFT30 for pixel switching, and semi-conductor layer 1a with same 1d of source fields, drain field 1e, etc. For this reason, the laminated structure formed on the TFT array substrate 10 can be simplified, capacity line 3b and scanning-line 3a can be formed in coincidence with the same film formation process in the manufacture approach of the further below-mentioned electro-optic device, and the 1st dielectric film and gate dielectric film 2 of storage capacitance 70a can be formed in coincidence.

[0077] Especially with this operation gestalt, conductive protection-from-light layer 80a consists of a conductive light-shielding film. Therefore, conductive protection-from-light layer 80a enables it to specify each pixel opening field partially at least. Moreover, it is also possible to omit the 2nd light-shielding film by the side of the opposite substrate 20 conductive protection-from-light layer 80a or by specifying pixel opening in combination with the film which has the protection-from-light nature formed in the TFT substrate 10 of wiring which has protection-from-light nature, such as data-line 6a. The configuration protection-from-light layer [ conductive ] 80a Prepared as a light-shielding film not on the 2nd light-shielding film 23 on the opposite substrate 20 but on the TFT array



substrate 10 is very advantageous at the point which does not cause decline in a pixel numerical aperture by the location gap with the TFT array substrate 10 and the opposite substrate 20 in a manufacture process.

[0078] In addition, the 2nd light-shielding film 23 on the opposite substrate 20 is the purpose which mainly suppresses the temperature rise of the liquid crystal equipment by incident light, and it may be constituted so that it may form in eye small \*\* (narrow) and a pixel opening field may not be specified. Thus, if the 2nd light-shielding film 23 is formed in eye small \*\* rather than the protection-from-light field in a TFT array substrate, depending on some location gaps between both the substrates in a manufacture process, a pixel opening field does not need to become small.

[0079] The conductive protection-from-light layers 80a and 80b consist of metal silicide, such as Ti, Cr, W, Ta, Mo, Pb, etc. which are a refractory metal, etc. Thus, if constituted, conductive protection-from-light layer 80a is destroyed by high temperature processing performed after a conductive protection-from-light layer 80a formation process, or it can avoid fusing by it.

[0080] Furthermore, since the affinity of the silicide of these refractory metals and the ITO (Indium Tin Oxide) film which constitutes pixel electrode 9a is good, good contact can be taken through contact hole 8b between conductive protection-from-light layer 80a and pixel electrode 9a.

[0081] Moreover, especially with this operation gestalt, conductive protection-from-light layer 80a which consists of a light-shielding film is formed in the non-opening field of the pixel extended along with scanning-line 3a and capacity line 3b in between data-line 6a which the flat-surface configuration on the TFT array substrate 10 adjoins in the shape of an island, as shown in drawing 3. Therefore, it becomes possible from that neighboring in alignment with scanning-line 3a of a pixel opening field to specify many parts.

[0082] In addition, what is necessary is for 1st light-shielding film 11a and the 2nd light-shielding film 23 just to prescribe scanning-line 3a and pixel electrode 9a about the side in alignment with scanning-line 3a of the pixel opening field of an adjoining side (it is the bottom at drawing 2). Moreover, what is necessary is for data-line 6a or 1st light-shielding film 11a, and the 2nd light-shielding film 23 which consist of aluminum etc. just to prescribe the side in alignment with data-line 6a of a pixel opening field.

[0083] (Manufacture process in the 1st operation gestalt of an electro-optic device) Next, the

manufacture process of the liquid crystal equipment in an operation gestalt with the above configurations is explained with reference to drawing 11 R > 1 from drawing 8. In addition, it is process drawing which drawing 11 makes each class by the side of the TFT array substrate in each process correspond to the B-B' cross section of drawing 2 like drawing 4 from drawing 8, and is shown.

[0084] As first shown in the process (1) of drawing 8, the TFT array substrates 10, such as a quartz substrate and hard glass, are prepared. Here, preferably, annealing treatment is carried out at inert gas ambient atmospheres, such as N<sub>2</sub> (nitrogen), and an about 900-1300-degree C elevated temperature, and it pretreats so that distortion produced in the TFT array substrate 10 in the elevated-temperature process carried out behind may decrease. That is, according to the temperature by which high temperature processing is carried out at the maximum elevated temperature in a manufacture process, the TFT array substrate 10 is heat-treated at the same temperature or the temperature beyond it in advance. and the whole surface of the TFT array substrate 10 processed in this way -- metal alloy film, such as metal metallurgy group silicide, such as Ti, Cr, W, Ta, Mo, and Pb, -- sputtering -- about 100-500nm thickness -- the light-shielding film 11 of about 200nm thickness is formed preferably. In addition, on a light-shielding film 11, in order to ease surface reflection, antireflection films, such as polish recon film, may be formed.

[0085] Next, as shown in a process (2), 1st light-shielding film 11a is formed by forming the resist mask corresponding to the pattern (referring to drawing 2) of 1st light-shielding film 11a by the photolithography on the this formed light-shielding film 11, and etching to a light-shielding film 11 through this resist mask.

[0086] Next, as shown in a process (3), the interlayer insulation film 12 which consists of silicate glass film, such as NSG, PSG, BSG, and BPSG, a silicon nitride film, silicon oxide film, etc. using TEOS (tetrapod ethyl orthochromatic silicate) gas, TEB (tetrapod ethyl boat rate) gas, TMOP (tetrapod methyl oxy-FOSU rate) gas, etc. with ordinary pressure or a reduced pressure CVD method is formed on 1st light-shielding film 11a. The thickness of this interlayer insulation film 12 may be about 500-2000nm.

[0087] Next, as shown in a process (4), about 450-550 degrees C of amorphous silicon film are preferably formed comparatively on an interlayer insulation film 12 with the reduced pressure CVD (for example, CVD with a pressure of about 20-40Pa) using the mono-silane gas of flow rate about 400 to 600 cc/min, disilane gas, etc. of about

500 degrees C in a low-temperature environment. Then, in nitrogen-gas-atmosphere mind, at about 600-700 degrees C, preferably, solid phase growth of the polish recon film 1 is carried out by \*\*\*\*\* which performs annealing treatment of 4 - 6 hours for about 1 to 10 hours until it becomes the thickness of about 100nm preferably in about 50-200nm thickness. As an approach of carrying out solid phase growth, the annealing treatment using RTA (Rapid Thermal Anneal) is sufficient, and the laser annealing using an excimer laser etc. is sufficient.

[0088] Under the present circumstances, as TFT30 for pixel switching shown in drawing 4, when creating TFT30 for pixel switching of an n channel mold, the dopant of V group elements, such as Sb (antimony), As (arsenic), and P (Lynn), may be slightly doped by an ion implantation etc. to the channel field concerned. Moreover, when using TFT30 for pixel switching as a p channel mold, the dopant of III group elements, such as B (boron), Ga (gallium), and In (indium), may be slightly doped by an ion implantation etc. In addition, the polish recon film 1 may be directly formed with a reduced pressure CVD method etc. without passing through the amorphous silicon film. Or drive silicon ion into the polish recon film deposited with the reduced pressure CVD method etc., once make it amorphous (amorphous-izing), it is made to recrystallize by annealing treatment etc. after that, and the polish recon film 1 may be formed.

[0089] Next, as shown in a process (5), semi-conductor layer 1a which has the predetermined pattern which contains the 1f of the 1st storage capacitance electrodes of \*\*\*\* shown in drawing 2 according to a photolithography process, an etching process, etc. is formed.

[0090] As shown in a process (6), the 1f of the 1st storage capacitance electrodes with semi-conductor layer 1a which constitutes TFT30 for pixel switching next, the temperature of about 900-1300 degrees C, and by oxidizing thermally with the temperature of about 1000 degrees C preferably As thermal oxidation silicon film 2a with a comparatively thin thickness of about 30nm is formed and it is further shown in a process (7) Insulator layer 2b which consists of high-temperature-oxidation silicon film (HTO film) or a silicon nitride film with a reduced pressure CVD method etc. is deposited on the comparatively thin thickness of about 50nm. The 1st dielectric film for storage capacitance formation is formed with the gate dielectric film 2 with the multilayer structure containing thermal oxidation silicon film 2a and insulator layer 2b of TFT30 for pixel switching. consequently, the

thickness of the 1f of the 1st storage capacitance electrodes -- the thickness of about 30-150nm -- desirable -- the thickness of about 35-50nm -- becoming -- the thickness of gate dielectric film 2 and the 1st dielectric film -- the thickness of about 20-150nm -- it becomes the thickness of about 30-100nm preferably. Thus, by shortening elevated-temperature thermal oxidation time amount, when using especially an about 8 inches large-sized substrate, the camber by heat can be prevented. However, gate dielectric film 2 with monolayer structure may be formed only by oxidizing the polish recon layer 1 thermally.

[0091] Next, as shown in a process (8), after forming the resist layer 500 according to a photolithography process, an etching process, etc. on semi-conductor layer 1a except the part used as the 1f of the 1st storage capacitance electrodes, P ion is doped in about  $3 \times 10^{12}/\text{cm}^2$  of doses, and the 1f of the 1st storage capacitance electrodes is formed into low resistance.

[0092] Next, as shown in a process (9), after removing the resist layer 500, the polish recon layer 3 is deposited with a reduced pressure CVD method etc., thermal diffusion of Lynn (P) is carried out further, and the polish recon film 3 is electric-conduction-ized. Or the doped silicon film which introduced P ion into membrane formation and coincidence of the polish recon layer membrane 3 may be used. The volume of the thickness of the polish recon layer 3 is preferably carried out to about 300nm in about 100-500nm thickness.

[0093] Next, as shown in the process (10) of drawing 9, capacity line 3b is formed according to the photolithography process using a resist mask, an etching process, etc. with scanning-line 3a of the \*\*\*\* predetermined pattern shown in drawing 2. Thickness of such capacity line 3b (scanning-line 3a) is set to about 350nm. Scanning-line 3a and capacity line 3b are good also as a multilayer interconnection which could form by metal alloy film, such as refractory metal metallurgy group silicide, and was combined with the polish recon film etc.

[0094] Next, as shown in a process (11), when TFT30 for pixel switching shown in drawing 3 is set to TFT of an n channel mold with LDD structure, In order to form low concentration source field 1b and low concentration drain field 1c in semi-conductor layer 1a first, the dopant of V group elements, such as P, is doped by low concentration, using scanning-line 3a (gate electrode) as a diffusion mask (with for example, dose which is one to  $3 \times 10^{13}/\text{cm}^2$  about P ion). Thereby, semi-conductor layer 1a under scanning-line 3a becomes channel field 1a'. Capacity line 3b and scanning-line 3a are also



formed into low resistance by the dope of this impurity.

[0095] Next, as shown in a process (12), in order to form 1d of high concentration source fields and high concentration drain field 1e which constitute TFT30 for pixel switching, after forming the resist layer 600 on scanning-line 3a with a mask with wide width of face rather than scanning-line 3a, similarly the dopant of V group elements, such as P, is doped by high concentration (for example, P ion -- the dose of one to  $3 \times 10^{15}/\text{cm}^2$ ). Moreover, to semi-conductor layer 1a, when using TFT30 for pixel switching as a p channel mold, in order to form 1d of high concentration source fields, and high concentration drain field 1e in low concentration source field 1b and a low concentration drain field 1c list, the dopant of III group elements, such as B, is used and doped. In addition, it is good also as TFT of offset structure, without, for example, performing a low-concentration dope, and it is good also as TFT of a self aryne mold by the ion-implantation technique using P ion, B ion, etc., using scanning-line 3a as a mask. Capacity line 3b and scanning-line 3a are also further formed into low resistance by the dope of this impurity.

[0096] In addition, in parallel to these component formation processes of TFT30, circumference circuits with the complementary-type structure which consists of an n channel mold TFT and a p channel mold TFT, such as a data-line drive circuit and a scanning-line drive circuit, may be formed in the periphery on the TFT array substrate 10. Thus, since TFT30 for pixel switching forms a semi-conductor layer by polish recon in this operation-gestalt, at the time of formation of TFT30 for pixel switching, it is the same process mostly, and a circumference circuit can be formed and it is advantageous on manufacture.

[0097] Next, as shown in a process (13), after removing the resist layer 600, the 1st interlayer insulation film 4 which consists of silicate glass film, such as NSG, PSG, BSG, and BPSG, a silicon nitride film, silicon oxide film, etc. is formed on gate dielectric film 2 (the 1st dielectric film) at capacity line 3b and a scanning-line 3a list using ordinary pressure or a reduced pressure CVD method, TEOS gas, etc. The thickness of the 1st interlayer insulation film 4 has desirable about 500-1500nm. If there is 500nm or more of thickness of the 1st interlayer insulation film 4, parasitic capacitance coupling between data-line 6a and scanning-line 3a will remain, or will hardly pose a problem.

[0098] Next, in order to activate 1d of high concentration source fields, and high concentration drain field 1e, after performing

about 1000-degree C annealing treatment about 20 minutes in the phase of a process (14), the contact hole 5 to data-line 6a is punctured. Moreover, the contact hole for connecting with wiring which illustrates neither scanning-line 3a nor capacity line 3b in a substrate boundary region is also punctured to the 1st interlayer insulation film 4 according to the same process as a contact hole 5.

[0099] Next, as shown in a process (15), it deposits preferably in about 100-500nm thickness by spatter processing etc. on the 1st interlayer insulation film 4 at about 300nm by making low resistance metal metallurgy group silicide, such as aluminum of protection-from-light nature, etc. into a metal membrane 6.

[0100] Next, as shown in a process (16), data-line 6a is formed according to a photolithography process, an etching process, etc.

[0101] Next, as shown in the process (17) of drawing 10, contact hole 8a to a pixel electrode is punctured to the 1st interlayer insulation film 4.

[0102] Next, as shown in a process (18), all over high concentration drain field 1e looked into through the 1st interlayer insulation film 4 and contact hole 8a, as well as 1st light-shielding film 11a, film, such as metal silicide, such as Ti, Cr, W, Ta, Mo, and Pb, is deposited by spatter processing, and the conductive protection-from-light layer 80 of about 50-500nm thickness is formed. If there is thickness of about 50nm, there will almost be no possibility of running when puncturing contact hole 8b behind. In addition, on this conductive protection-from-light layer 80, in order to ease surface reflection, antireflection films, such as polish recon film, may be formed.

[0103] Next, as shown in a process (19), conductive protection-from-light layer 80a containing the 3rd storage capacitance electrode and conductive protection-from-light layer 80b are formed by forming the resist mask corresponding to the pattern (referring to drawing 3) of conductive protection-from-light layer 80a and conductive protection-from-light layer 80b by the photolithography on the this formed conductive protection-from-light layer 80, and etching to the conductive protection-from-light layer 80 through this resist mask.

[0104] Next, as shown in a process (20), the 2nd interlayer insulation film 7 which consists of silicate glass film, such as NSG, PSG, BSG, and BPSG, a silicon nitride film, silicon oxide film, etc. is formed using ordinary pressure or a reduced pressure CVD method, TEOS gas, etc. so that conductive protection-from-light layer 80a and 80b top may be covered. The thickness of the 2nd interlayer insulation film 7 has desirable about 500-1500nm.

[0105] Next, as shown in the process (21) of drawing 11, contact hole 8b for carrying out electrical installation of pixel electrode 9a and the conductive protection-from-light layer 80a is formed by dry etching, such as reactive ion etching and reactant ion beam etching. Moreover, wet etching may be used in order to make it the shape of a taper.

[0106] Next, on the 2nd interlayer insulation film 7, as shown in a process (22), as the transparent conductive thin films 9, such as ITO film, are deposited on the thickness of about 50-200nm and are further shown in a process (23) by sputter processing etc., pixel electrode 9a is formed according to a photolithography process, an etching process, etc. In addition, when using the liquid crystal equipment concerned for the liquid crystal equipment of a reflective mold, pixel electrode 9a may be formed from an opaque ingredient with high reflection factors, such as aluminum.

[0107] Then, after applying the coating liquid of the orientation film of a polyimide system on pixel electrode 9a, the orientation film 16 (refer to drawing 4) is formed by performing rubbing processing in the predetermined direction so that it may have a predetermined pre tilt angle etc.

[0108] On the other hand, about the opposite substrate 20 shown in drawing 4, a glass substrate etc. is prepared first, and after the 2nd light-shielding film 23 and the 3rd light-shielding film 53 (refer to drawing 13 and drawing 14) as a frame carry out the sputter of the chromium metal, they are formed through a photolithography process and an etching process. In addition, these 2nd and 3rd light-shielding films may form others, carbon, and Ti, such as Cr, nickel, and aluminum, from ingredients, such as resin black distributed to the photoresist. [metallic material] In addition, on the TFT array substrate 10, if data-line 6a, the conductive protection-from-light layers 80a and 80b, 1st light-shielding film 11a, etc. prescribe a protection-from-light field, the 2nd light-shielding film 23 and the 3rd light-shielding film on the opposite substrate 20 can be excluded.

[0109] Then, a counterelectrode 21 is formed by sputter processing etc. all over the opposite substrate 20 by depositing transparent conductive thin films, such as ITO, on the thickness of about 50-200nm. Furthermore, after applying the coating liquid of the orientation film of a polyimide system all over a counterelectrode 21, the orientation film 22 (refer to drawing 4) is formed by performing rubbing processing in the predetermined direction so that it may have a predetermined pre tilt angle etc.

[0110] Finally, the liquid crystal with which the TFT array substrate 10 and the opposite substrate

20 with which each class was formed as mentioned above are stuck by the sealant (refer to drawing 13 and drawing 14) so that the orientation film 16 and 22 may meet, and they come to mix two or more kinds of pneumatic liquid crystals to the space between both substrates by vacuum suction etc. is attracted, and the liquid crystal layer 50 of predetermined thickness is formed.

[0111] (The 2nd operation gestalt of an electro-optic device) The configuration of the liquid crystal equipment which is the 2nd operation gestalt of the electro-optic device by this invention is explained with reference to drawing 12. Drawing 12 is the sectional view of the 2nd operation gestalt corresponding to the B-B' cross section of the top view of drawing 2 in the 1st operation gestalt. In addition, about the same component as the 1st operation gestalt shown in drawing 4 in the 2nd operation gestalt shown in drawing 12, the same reference mark is attached and the explanation is omitted. Moreover, in order to make each class and each part material into the magnitude of extent which can be recognized on a drawing, scales are made to have differed for each class or every each part material in drawing 12.

[0112] In drawing 12, unlike the 1st operation gestalt, it consists of the same ingredient as the data line, and the layer formed at coincidence at the time of data-line formation is formed in the bottom of conductive protection-from-light layer 80a with the 2nd operation gestalt. The flat-surface configuration of this layer is the same as the configuration of island-like conductive protection-from-light layer 80a. About other configurations, it is the same as that of the case of the 1st operation gestalt.

[0113] According to the 2nd operation gestalt, since resistance is low, the aluminum which is the formation ingredient of the data line becomes possible [lowering contact resistance].

[0114] In addition, with the 1st and 2nd operation gestalt, flattening of the pixel electrode 9a is carried out by flattening of the 2nd interlayer insulation film 7. What is necessary is to perform flattening of the 2nd interlayer insulation film 7 by for example, CMP (Chemical Mechanical Polishing) processing, spin coat processing, the reflow method, etc., or just to perform it using the organic SOG (Spin On Glass) film, the inorganic SOG film, the polyimide film, etc.

[0115] (The whole electro-optic device configuration) The whole liquid crystal equipment configuration in each operation gestalt constituted as mentioned above is explained with reference to drawing 13 and drawing 14. In addition, drawing 13 is the top view which looked at the TFT array substrate 10 from the opposite substrate 20 side with each component formed on

it, and drawing 14 is the H-H' sectional view of drawing 12.

[0116] In drawing 13, on the TFT array substrate 10, the sealant 52 is formed along the edge and the 3rd light-shielding film 53 as a frame which specifies the circumference of the image display field which consists of an ingredient which is the same as the 2nd light-shielding film 23, or is different is formed in parallel to the inside. The data-line drive circuit 101 and the mounting terminal 102 which drive data-line 6a by supplying a picture signal to data-line 6a to predetermined timing are prepared in the field of the outside of a sealant 52 along with one side of the TFT array substrate 10, and the scanning-line drive circuit 104 which drives scanning-line 3a is formed along with two sides which adjoin this one side by supplying a scan signal to scanning-line 3a to predetermined timing. If the scan signal delay supplied to scanning-line 3a does not become a problem, the thing only with one side sufficient [ the scanning-line drive circuit 104 ] cannot be overemphasized. Moreover, the data-line drive circuit 101 may be arranged on both sides along the side of an image display field. For example, data-line 6a of an odd number train supplies a picture signal from the data-line drive circuit arranged along one side of an image display field, and you may make it the data line of an even number train supply a picture signal from the data-line drive circuit arranged along the side of the opposite side of said image display field. Thus, if it is made to drive data-line 6a in the shape of a ctenidium, since the occupancy area of a data-line drive circuit is extensible, it becomes possible to constitute a complicated circuit. Furthermore, two or more wiring 105 for connecting between the scanning-line drive circuits 104 established in the both sides of an image display field is formed in one side in which the TFT array substrate 10 remains. Moreover, in at least one place of the corner section of the opposite substrate 20, the flow material 106 for taking an electric flow between the TFT array substrate 10 and the opposite substrate 20 is formed. And as shown in drawing 14, the opposite substrate 20 with the almost same profile as the sealant 52 shown in drawing 13 has fixed to the TFT array substrate 10 by the sealant 52 concerned. In addition, on the TFT array substrate 10, the inspection circuit for inspecting the quality of the sampling circuit 103 which impresses a picture signal to two or more data-line 6a to predetermined timing, the precharge circuit which precedes the precharge signal of a predetermined voltage level with a picture signal, and supplies it to two or more data-line 6a respectively, and the liquid crystal equipment concerned at the manufacture middle

or the time of shipment, a defect, etc. in addition to these data-line drive circuits 101 and scanning-line drive circuit 104 grade etc. may be formed. In addition, what is necessary is just to form smaller than the protection-from-light field of the TFT array substrate 10 the 2nd light-shielding film 23 on the opposite substrate 20 according to the gestalt of this operation. Moreover, the 2nd light-shielding film 23 can be easily removed by the application of liquid crystal equipment.

[0117] You may make it connect with LSI for a drive mounted on the TAB (Tape Automated Bonding tape automated bonding) substrate instead of forming the data-line drive circuit 101 and the scanning-line drive circuit 104 on the TFT array substrate 10 electrically and mechanically through the anisotropy electric conduction film prepared in the periphery of the TFT array substrate 10 with each operation gestalt explained with reference to drawing 14 from drawing 1 above. To the side in which the outgoing radiation light of the side in which the incident light of the opposite substrate 20 carries out incidence, and the TFT array substrate 10 carries out outgoing radiation, moreover, respectively For example, TN (Twisted Nematic Twisted Nematic) mode, VA (Vertically Aligned) STN (super TN) mode, Modes of operation, such as PBLIC (Polymer Dispersed Liquid Crystal) mode D-STN (double-STN) mode, According to the exception in no MARI White mode / NOMA reeve rack mode, a polarization film, a phase contrast film, a polarizing plate, etc. are arranged in a predetermined direction.

[0118] Since the liquid crystal equipment in each operation gestalt explained above is applied to an electrochromatic display projector, the liquid crystal equipment of three sheets will be respectively used as a light valve for R(red) G(green) B (blue), and incidence of the light of each color respectively decomposed through the dichroic mirror for RGB color separation will be respectively carried out to each panel as incident light. Therefore, with each operation gestalt, the color filter is not prepared in the opposite substrate 20. However, the color filter of RGB may be formed in the predetermined field which counters pixel electrode 9a in which the 2nd light-shielding film 23 is not formed on the opposite substrate 20 with the protective coat. Or it is also possible to form a color filter layer in the bottom of pixel electrode 9a which counters RGB on the TFT array substrate 10 by a color resist etc. If it does in this way, the liquid crystal equipment in each operation gestalt is applicable to electrochromatic display equipments, such as electrochromatic display television of direct

viewing types other than a liquid crystal projector, or a reflective mold. Furthermore, a micro lens may be formed so that it may correspond 1 pixel on [ one ] the opposite substrate 20. If it does in this way, bright liquid crystal equipment is realizable by improving the condensing effectiveness of incident light. Furthermore, the die clo IKKU filter which makes a RGB color using interference of light by depositing the interference layer to which the refractive index of many layers is different on the opposite substrate 20 again may be formed. According to this opposite substrate with a die clo IKKU filter, brighter electrochromatic display equipment is realizable.

[0119] Although [ the liquid crystal equipment in each operation gestalt explained above ] incidence of the incident light is carried out from the opposite substrate 20 side as usual, since 1st light-shielding film 11a is prepared, incidence of the incident light is carried out from the TFT array substrate 10 side, and it may be made to carry out outgoing radiation from the opposite substrate 20 side. That is, even if it attaches liquid crystal equipment in a liquid crystal projector in this way, it is possible to be able to prevent light carrying out incidence to channel field 1a' of semi-conductor layer 1a and the LDD fields 1b and 1c, and to display a high-definition image on them. Although the polarizing plate with which AR (Anti Reflection) coat was carried out for acid resisting needs to be arranged separately or AR film needed to be stuck here in order to prevent the reflection by the side of the rear face of the TFT array substrate 10 conventionally With each operation gestalt, since [ of the front face of the TFT array substrate 10, and semi-conductor layer 1a ] 1st light-shielding film 11a is formed at least between channel field 1a' and the LDD fields 1b and 1c, Such a polarizing plate and AR film by which AR coat was carried out are used, or the need of using the substrate which carried out AR processing of TFT array substrate 10 itself is lost. Therefore, according to each operation gestalt, ingredient cost can be reduced, and a contaminant, a blemish, etc. do not drop the yield at the time of polarizing plate attachment, and it is very advantageous. Moreover, since lightfastness is excellent, even if it uses the bright light source, or it carries out polarization conversion by the polarization beam splitter and it raises efficiency for light utilization, image quality degradation of the cross talk by light etc. is not produced.

[0120] Moreover, although explained as a switching element prepared in each pixel that it was the poly-Si TFT of a forward stagger mold or a coplanar mold, each operation gestalt is effective also to TFT of other formats, such as TFT of a reverse stagger mold, and an amorphous silicon

TFT.

#### [Brief Description of the Drawings]

[Drawing 1] They are equal circuits established in two or more pixels of the shape of a matrix which constitutes the image display field in the liquid crystal equipment which is the 1st operation gestalt of an electro-optic device, such as various components and wiring.

[Drawing 2] It is the top view of two or more pixel groups where the TFT array substrate with which the data line in the liquid crystal equipment of the 1st operation gestalt, the scanning line, the pixel electrode, the light-shielding film, etc. were formed adjoins each other.

[Drawing 3] It is the part plan of drawing 2 .

[Drawing 4] It is the B-B' sectional view of drawing 2 .

[Drawing 5] It is a fragmentary sectional view for explaining the mode of contact in a conductive protection-from-light layer, a pixel electrode, and a semi-conductor layer.

[Drawing 6] It is a fragmentary sectional view for explaining the mode of the protection-from-light layer formed on the data line.

[Drawing 7] It is a fragmentary sectional view for explaining the mode of the protection-from-light layer formed in a predetermined island-like field.

[Drawing 8] It is process drawing (the 1) showing order for the manufacture process of the liquid crystal equipment of the 1st operation gestalt later on.

[Drawing 9] It is process drawing (the 2) showing order for the manufacture process of the liquid crystal equipment of the 1st operation gestalt later on.

[Drawing 10] It is process drawing (the 3) showing order for the manufacture process of the liquid crystal equipment of the 1st operation gestalt later on.

[Drawing 11] It is process drawing (the 4) showing order for the manufacture process of the liquid crystal equipment of the 1st operation gestalt later on.

[Drawing 12] It is the sectional view of the liquid crystal equipment which is the 2nd operation gestalt of an electro-optic device.

[Drawing 13] It is the top view which looked at the TFT array substrate in the liquid crystal equipment of each operation gestalt from the opposite substrate side with each component formed on it.

[Drawing 14] It is the H-H' sectional view of drawing 12 .

#### [Description of Notations]

1a -- Semi-conductor layer

1a' -- Channel field

1b -- Low concentration source field (source side

LDD field)

1c -- Low concentration drain field (drain side LDD field)

1d -- High concentration source field

1e -- High concentration drain field

1f -- The 1st storage capacitance electrode

2 -- Gate dielectric film

3a -- Scanning line

3b -- Capacity line (the 2nd storage capacitance electrode)

4 -- The 1st interlayer insulation film

5 -- Contact hole

6a -- Data line

7 -- The 2nd interlayer insulation film

8a -- Contact hole

8b -- Contact hole

9a -- Pixel electrode

10 -- TFT array substrate

11a, 11b -- The 1st light-shielding film

12 -- Interlayer insulation film

15 -- Contact hole

16 -- Orientation film

20 -- Opposite substrate

21 -- Counterelectrode

22 -- Orientation film

23 -- The 2nd light-shielding film

30 -- TFT for pixel switching

50 -- Liquid crystal layer

52 -- Sealant

53 -- The 3rd light-shielding film

70 -- Storage capacitance

70a -- The 1st storage capacitance

70b -- The 2nd storage capacitance

80 -- Protection from light layer

80a -- Conductive protection from light layer

80b -- Conductive protection from light \*\*\*\* 2 storage capacitance

81 -- The 2nd dielectric film

101 -- Data-line drive circuit

104 -- Scanning-line drive circuit

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-267596

(P2000-267596A)

(43) 公開日 平成12年9月29日 (2000.9.29)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード* (参考)
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	3 3 8 2 H 0 9 2
G 0 2 F 1/1365		H 0 4 N 5/66	1 0 2 A 5 C 0 5 8
H 0 1 L 29/786		G 0 2 F 1/136	5 0 0 5 C 0 9 4
21/336		H 0 1 L 29/78	6 1 2 Z 5 F 1 1 0
H 0 4 N 5/66	1 0 2		

審査請求 未請求 請求項の数12 O L (全 19 頁)

(21) 出願番号 特願平11-70273

(22) 出願日 平成11年3月16日 (1999.3.16)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 佐藤 尚

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(74) 代理人 100093388

弁理士 鈴木 喜三郎 (外2名)

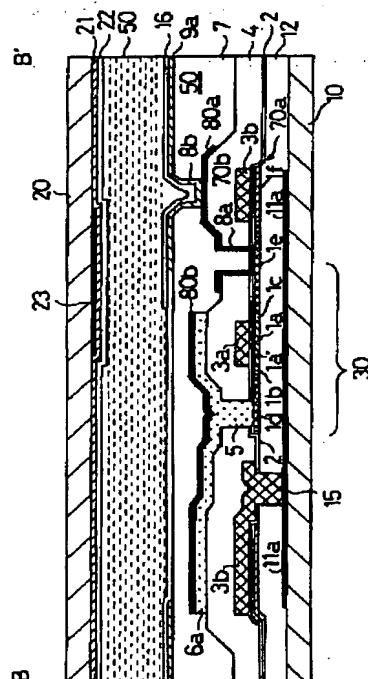
最終頁に続く

(54) 【発明の名称】 電気光学装置及びその製造方法

(57) 【要約】

【課題】 十分な遮光性を有する遮光層を有し、画素ピッチを微細化しても画素開口率を低下させず、また、高品位の画像表示が可能な電気光学装置及びその製造方法を提供する。

【解決手段】 液晶装置は、TFTアレイ基板 (10) 上にTFT (30)、データ線 (6a)、走査線 (3a)、容量線 (3b) 及び画素電極 (9a) を備える。第1層間絶縁膜4上の相隣接するデータ線間であって前記走査線及び容量線に沿って伸びる画素の非開口領域に、データ線の形成材料とは異なる材料からなる遮光性の導電層80aを島状に設ける。画素電極及びTFT間には、導電層80aを中継して二つのコンタクトホール (8a、8b) により半導体層1aの一部と電気的接続される。



## 【特許請求の範囲】

【請求項 1】 基板に複数の走査線及び複数のデータ線と、前記走査線及び前記データ線に接続された薄膜トランジスタと、前記薄膜トランジスタに接続された画素電極とを有する電気光学装置であって、

前記薄膜トランジスタのソース領域及びドレイン領域となる半導体層と、前記半導体層上にゲート絶縁膜を介して配置されたゲート電極と、前記ゲート電極上に配置された第 1 層間絶縁膜と、前記第 1 層間絶縁膜上に配置された第 2 層間絶縁膜とを有し、

前記データ線は、前記第 1 層間絶縁膜に形成された第 1 コンタクトホールを介して前記半導体層のソース領域に接続されるように配置されてなり、

前記データ線には前記データ線に接続されるように配置された第 1 導電層が配置されてなり、

前記第 1 導電層と同一層からなる第 2 導電層が、前記第 1 層間絶縁膜に形成された第 2 コンタクトホールを介して前記半導体層のドレイン領域に接続されるとともに、前記第 2 層間絶縁膜に形成された第 3 コンタクトホールを介して前記画素電極に接続されるように島状に配置されてなることを特徴とする電気光学装置。

【請求項 2】 前記第 1 及び第 2 導電層は遮光性を有することを特徴とする請求項 1 に記載の電気光学装置。

【請求項 3】 前記薄膜トランジスタに接続された蓄積容量を有し、前記蓄積容量は、前記ドレイン領域を構成する半導体層から延設されてなる第 1 蓄積容量電極と、前記ゲート電極と同一材料からなる容量線の一部からなる第 2 蓄積容量電極との間に前記ゲート絶縁膜と同一層からなる絶縁薄膜を有することにより構成される第 1 蓄積容量と、前記第 2 蓄積容量電極と前記第 2 導電層との間に前記第 1 層間絶縁膜を有することにより構成される第 2 蓄積容量とを備えたことを特徴とする請求項 1 又は 2 に記載の電気光学装置。

【請求項 4】 前記第 1 及び第 2 導電層は、前記データ線とは異なる材料からなることを特徴とする請求項 1 から 3 のいずれか一項に記載の電気光学装置。

【請求項 5】 前記第 1 及び第 2 導電層は、主として金属シリサイドからなることを特徴とする請求項 1 から 4 のいずれか一項に記載の電気光学装置。

【請求項 6】 前記第 1 層間絶縁膜は、絶縁性の高誘電率材料からなることを特徴とする請求項 1 から 5 のいずれか一項に記載の電気光学装置。

【請求項 7】 前記絶縁性の高誘電率材料は、チタン酸バリウム、BST、RuO<sub>2</sub>、酸化珪素、酸化タンタル、窒化珪素、酸化珪素から選ばれる一以上の材料からなることを特徴とする請求項 6 に記載の電気光学装置。

【請求項 8】 前記第 2 コンタクトホールと第 3 コンタクトホールとは、前記一方の基板上における相異なった平面位置に開孔されていることを特徴とする請求項 2 か

ら 7 のいずれか一項に記載の電気光学装置。

【請求項 9】 前記第 2 コンタクトホールと第 3 コンタクトホールとは、前記一方の基板上における同一位置に開孔されていることを特徴とする請求項 2 から 7 のいずれか一項に記載の電気光学装置。

【請求項 10】 前記基板と前記半導体層との間に、少なくとも前記半導体層のチャネル領域を覆うように下地遮光膜を更に備えたことを特徴とする請求項 1 から 9 のいずれか一項に記載の電気光学装置。

10 【請求項 11】 基板に複数の走査線及び複数のデータ線と、前記走査線及び前記データ線に接続された薄膜トランジスタと、前記薄膜トランジスタに接続された画素電極とを有する電気光学装置の製造方法であって、前記基板上に、ソース・ドレイン領域並びに前記第 1 蓄積容量電極となる半導体層を形成する工程と、前記半導体層上に前記薄膜トランジスタのゲート絶縁膜及び前記蓄積容量の誘電体膜を構成する絶縁薄膜を形成する工程と、前記絶縁薄膜上に前記走査線及び前記容量線を夫々形成する工程と、

20 前記走査線及び前記容量線の上に第 1 層間絶縁膜を形成する工程と、前記ソース領域及び前記ドレイン領域上の前記第 1 層間絶縁膜に第 1 及び第 2 コンタクトホールを形成する工程と、前記第 1 コンタクトホールを介して前記ソース領域に接続されるように前記データ線を形成する工程と、前記データ線に前記データ線に接続されるように第 1 導電層を形成するとともに、前記ドレイン領域に接続されるように島状の第 2 導電層を形成する工程と、

30 第 1 及び第 2 導電層上に第 2 層間絶縁膜を形成する工程と、前記第 2 導電層上の前記第 2 層間絶縁膜に第 3 コンタクトホールを形成する工程と、前記第 3 コンタクトホールを介して前記第 2 導電層に接続されるように前記画素電極を形成する工程とを有することを特徴とする電気光学装置の製造方法。

40 【請求項 12】 前記第 1 及び第 2 導電層は、前記データ線とは異なる材料からなることを特徴とする請求項 11 に記載の電気光学装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、薄膜トランジスタ（以下、TFTと称す。）アクティブマトリクス駆動方式の液晶装置等の電気光学装置及びその製造方法の技術分野に属し、特にTFTが形成されたTFT基板上に配置された遮光膜や蓄積容量を付加するための容量線を備える電気光学装置及びその製造方法の技術分野に属する。

## 【0002】

【従来の技術】従来、TFT駆動によるアクティブマトリクス駆動方式の液晶パネルにおいては、縦横に夫々配列された多数の走査線及びデータ線並びにこれらの各交点に対応して多数のTFTがTFTアレイ基板上に設けられている。各TFTは、走査線にゲート電極が接続され、データ線にソース電極が接続され、画素電極にドレイン電極が接続されている。ここで特に画素電極は、TFTや配線を構成する各種の層や当該画素電極を相互に絶縁するための層間絶縁膜層上に設けられているため、層間絶縁膜に開孔されたコンタクトホールを介してTFTのドレイン電極に接続されている。そして、TFTのゲート電極に走査線を介して走査信号が供給されると、TFTはオン状態とされ、TFTのソース電極（或いはドレイン電極）にデータ線を介して供給される画像信号が当該TFTのソース・ドレイン間を介して画素電極に供給される。このような画像信号の供給は、各TFTを介して画素電極毎に極めて短時間しか行われぬ。このため、極短時間だけオン状態とされたTFTを介して供給される画像信号の電圧を、このオン状態とされた時間よりも遥かに長時間に亘って保持するために、各画素電極には液晶容量と並列に蓄積容量が形成されるのが一般的である。蓄積容量は、一般にTFTにおいて画素電極に接続された側のドレイン電極を構成する半導体層を延設して第1蓄積容量電極とし、走査線に沿って形成された容量線の一部を第2蓄積容量電極とし、これら二つの蓄積容量電極を絶縁膜（即ち、誘電体膜）を介して対向配置させることにより、各画素電極に対して構築される。或いは、この構成において、容量線の代わりに前段の走査線を第2蓄積容量電極とすることにより付加される。

【0003】このような構成を持つ蓄積容量により、画素スイッチング用のTFTのオン時間よりも例えば3桁程長い時間に亘って画素電極における画像信号の電圧を維持することが可能となり、デューティ比が小さくても、コントラスト比の高い良好な画像表示を行える。

【0004】他方、この種の電気光学装置においては、TFTアレイ基板上に形成された半導体層から、画素スイッチング用のTFTのソース電極及びドレイン電極並びにこれらの間にあるチャンネル領域が構成される。画素電極は、積層構造をなす走査線、容量線、データ線等の配線及びこれらを相互に電気的に絶縁するための複数の層間絶縁膜を介して、半導体層のドレイン電極（或いはソース電極）と接続される必要がある。ここで、TFTアレイ基板側から見て半導体層の上にゲート電極が設けられるトップゲート構造を有する正スタガ型又はコプラナー型のポリシリコンTFTの場合などには特に、積層構造における半導体層から画素電極までの層間距離が例えば1000nm程度又はそれ以上に長いため、両者を電気的に接続するためのコンタクトホールを開孔するのが困難となる。より具体的には、エッチングを深く行うのに

つれてエッチング精度が低下して、目標とする半導体層を突き抜けて開孔してしまう可能性が出て来るため、ドライエッチングのみで、このような深いコンタクトホールを開孔することが極めて困難となる。このため、ドライエッチングにウエットエッチングを組み合わせで行ったりするが、すると今度はウエットエッチングによりコンタクトホールの径が大きくなってしまい、限られた基板上領域において配線や電極を必要なだけレイアウトするのが困難となるのである。

【0005】そこで最近では、走査線上に形成される層間絶縁膜に対して、ソース領域に至るコンタクトホールを開孔してデータ線とソース領域との電気的接続をとる際に、ドレイン領域に至るコンタクトホールを開孔してこの層間絶縁膜上にデータ線と同一層及び同一材料（通常アルミニウム）からなるバリアメタル或いはバリア層と称される中継用の導電層を形成しておき、その後、データ線及びこのバリアメタル上に形成された層間絶縁膜に対して、画素電極からこのバリアメタルに至るコンタクトホールを開孔する技術が開発されている。このようにデータ線と同一層からなるバリアメタルを中継して画素電極からドレイン領域への電気的接続をとるように構成すれば、画素電極から一挙に半導体層に至るコンタクトホールを開孔するよりも、コンタクトホールの開孔工程等が容易となり、各コンタクトホールの径も小さくて済む。そこで最近では、バリアメタル或いはバリア層と称される中継用導電層を、積層構造におけるTFTを構成する半導体層と画素電極を構成するITO膜との間に一つ又は複数介在させて、2個又はそれ以上のコンタクトホールを層厚方向に直列に設ける技術が提案されている。

【0006】更に、通常データ線の材料として用いられるAl（アルミニウム）と通常画素電極の材料として用いられるITO（Indium Tin Oxide）膜とは接合する上での相性が悪く、両者を直接接合させると電蝕腐食が起きてしまうため、Al膜からなる配線や電極とITO膜からなる配線や電極とを接触させることは避けねばならない。そこで、このような相性の悪い2つの膜からなる配線や電極等を接続する際に、上述した中継用導電層（Al）上にチタン（Ti）等の層を積層する技術も提案されている。

【0007】最近では更に、データ線を構成するAl等の導電膜を半導体層と画素電極との間におけるバリア層として用いると同時に、このバリア層の一部を層間絶縁膜を介して、走査線と同一のポリシリコン等からなる容量線に対向配置させて、蓄積容量を追加的に付加する技術も提案されている。この技術によれば、同一バリア層を中継配線用に用いると共に蓄積容量用の電極として用いるので、同一工程で中継配線及び蓄積容量用の電極の両者を形成できることになる。従って、この技術は、製造プロセス上有利であると共に、限られた基板上領域の



有効利用を図る上でも有利である。

#### 【0008】

【発明が解決しようとする課題】この種の電気光学装置においては、表示画像の高品位化という一般的な要請が強く、このためには、画像表示領域の高精細度化或いは画素ピッチ（即ち、走査線ピッチ及びデータ線ピッチ）の微細化及び高画素開口率化（即ち、各画素において、表示光が透過しない非画素開口領域に対する、表示光が透過する画素開口領域の比率を高めること）が極めて重要となる。

【0009】しかしながら、画素ピッチの微細化が進むと、通常ブラックマトリクス或いはブラックマスクと称される他方の基板（通常は対向基板）に形成された遮光膜と一方の基板（通常はTFTアレイ基板）との位置合わせ精度の余裕度（マージン）が小さくなり、対向基板上のブラックマスクとの位置ずれによって、画素開口率の低下が生じ、さらに、この位置ずれによって対向基板側からTFT薄膜トランジスタに光が当たると光電流のリークが生じ、これにより画面のちらつきや黒白のコントラストの乱れ、クロストークなどが生じる。

【0010】通常アルミニウムで形成されるデータ線は、TFT基板側の遮光膜としても機能するが、アルミニウムの遮光性は十分ではない。また、アルミニウムは熱をかけると集まり突起を生じる現象であるヒロックにより、絶縁膜を破ってショートを起こす場合がある。さらに、アルミニウムからなるデータ線とITOからなる画素電極のエッチング液は同じであるので画素電極のエッチングの際にデータ線がエッチングされる場合がある。

【0011】上述した中継用導電層を遮光膜として用いることも可能であるが、中継用導電層の材料であるAlやTi等は遮光性が十分ではない。

【0012】更に、薄膜トランジスタを形成する透明基板上であって薄膜トランジスタの下側に、タングステンシリサイドなどの遮光膜を設けることにより、TFT基板側からの戻り光等が薄膜トランジスタのチャネル領域やLDD (Lightly Doped Drain) 領域に入射する事態を未然に防ぐ技術があるが、この遮光膜による遮光性は十分ではない。詳しくは、タングステンシリサイドからなる遮光膜は、通常常温スパッタにより形成され、成膜時においてはアモルファス状態の遮光性の高い膜であるが、ゲート酸化膜の形成工程など後に行われる工程で1000℃前後の熱がかかり、結晶化膜となる。この際、 $Si/W=2$ であれば $WSi_2$ は遮光性であるので問題はないが、実際には $Si/W=2$ であると膜剥がれを起こしやすいので $Si/W=2.7\sim 2.8$ としており、遮光性の $WSi_2$ と透過性のSiが生じ、全体として若干光を通すので、遮光性は十分ではない。

【0013】また、画素ピッチの微細化が進むと、電極サイズや配線幅、更にコンタクトホール径などには製造

技術により本質的な微細化の限界があるため、相対的にこれらの配線や電極等が画像表示領域を占有する比率が高まるため、画素開口率が低くなってしまうという問題点がある。

【0014】更に、このように画素ピッチの微細化が進むと、限られた基板上領域に作り込まねばならない前述の蓄積容量を十分な大きさとするのが困難となる。このため、投射の際に画面のちらつきや黒白のコントラストの乱れ、クロストークなどが生じる。

10 【0015】本発明は上述の問題点に鑑みなされたものであり、第1層間絶縁膜上に十分な遮光性を有する遮光層を有し、画素ピッチを微細化しても画素開口率を低下させず、また、高品位の画像表示が可能な電気光学装置及びその製造方法を提供することを課題とする。

#### 【0016】

【課題を解決するための手段】本発明の電気光学装置は上記課題を解決するために、基板に複数の走査線及び複数のデータ線と、前記走査線及び前記データ線に接続された薄膜トランジスタと、前記薄膜トランジスタに接続された画素電極とを有する電気光学装置であって、前記薄膜トランジスタのソース領域及びドレイン領域となる半導体層と、前記半導体層上にゲート絶縁膜を介して配置されたゲート電極と、前記ゲート電極上に形成された第1層間絶縁膜と、前記第1層間絶縁膜上に配置された第2層間絶縁膜とを有し、前記データ線は、前記第1層間絶縁膜に形成された第1コンタクトホールを介して前記半導体層のソース領域に接続されるように配置されてなり、前記データ線には前記データ線に接続されるように配置された第1導電層が配置されてなり、前記第1導電層と同一層からなる第2導電層が、前記第1層間絶縁膜に配置された第2コンタクトホールを介して前記半導体層のドレイン領域に接続されるとともに、前記第2層間絶縁膜に形成された第3コンタクトホールを介して前記画素電極に接続されるように島状に配置されてなることを特徴とする。

40 【0017】本発明のこの態様によれば、前記第1導電層と同一層からなる第2導電層が、前記第1層間絶縁膜に形成された第2コンタクトホールを介して前記半導体層のドレイン領域に接続されるとともに、前記第2層間絶縁膜に形成された第3コンタクトホールを介して前記画素電極に接続されるように島状に配置されてなるため、第2導電層を経由して半導体層と画素電極とを電気的接続する構成が可能となる。

【0018】本発明の電気光学装置の一の態様によれば、第1及び第2導電層は遮光性を有することを特徴とする。

【0019】本発明のこの態様によれば、第1層間絶縁膜上の所定位置に導電層を島状に設けているので、第1層間絶縁膜上に十分な遮光性を有するため、対向基板側のブラックマトリクス等の遮光膜を省略でき、あるいは

は、対向基板側のブラックマトリックスを遮光層よりも平面形状を小さく形成できるので、画素ピッチを微細化した場合であっても画素開口率の低下を回避できる。特に対向基板に遮光膜を形成しないで開口領域を規定すれば、製造プロセスにおける工程を削減することが可能となると共に一対の基板間のアライメントずれによる画素開口率の低下やばらつきを防ぐことも可能となり有利である。

【0020】なお、第1層間絶縁膜上であって、データ線を形成していない画面周辺の額縁領域にデータ線の形成材料とは異なる材料からなる遮光層を設けることもできる。

【0021】本発明の電気光学装置の他の態様によれば、前記薄膜トランジスタに接続された蓄積容量を有し、前記蓄積容量は、前記ドレイン領域を構成する半導体層から延設されてなる第1蓄積容量電極と、前記ゲート電極と同一材料からなる容量線の一部からなる第2蓄積容量電極との間に前記ゲート絶縁膜と同一層からなる絶縁薄膜を有することにより構成される第1蓄積容量と、前記第2蓄積容量電極と前記第2導電層との間に前記第1層間絶縁膜を有することにより構成される第2蓄積容量とを備えたことを特徴とする。

【0022】この態様によれば、画素電極に対して、第1及び第2蓄積容量を付加することができるため、蓄積容量の増加が可能となる。

【0023】本発明の電気光学装置は、前記第1及び第2導電層は、前記データ線とは異なる材料からなることを特徴とする。

【0024】このような構成によれば、データ線上に十分な遮光性を有する遮光層を形成することができる。例えば、A1データ線上に重ねて形成することで遮光性がより完全となる。また、データ線上に導電性遮光層を形成した場合には配線の信頼性が向上する。更に、例えば、A1のデータ線上に硬い遮光層を重ねて形成することで、アルミのヒロックに起因したショートを防ぎ、また、ITOやSiO<sub>2</sub>のエッチング液ではエッチングされないで、これらのエッチング液を用いたエッチングの際にA1データ線を保護できる。

【0025】本発明の第1及び第2電気光学装置の他の態様によれば、前記遮光層又は導電性遮光層は、主として金属シリサイドからなる。

【0026】この態様によれば、例えば、W（タングステン）、Mo（モリブデン）、Ta（タンタル）、Cr（クロム）、Ti（チタン）、及びPb（鉛）のうちの少なくとも一つを含む金属シリサイドは、十分な遮光性を有し、且つ、中継導電層や蓄積容量電極として十分な導電性を有する。これらの金属シリサイドは、遮光性の観点からは非単結晶状態（アモルファス状態）であることが好ましい。これらの金属シリサイドを形成後は、以降のプロセスにおける上限温度が400℃程度なので結

晶化による遮光性の低下も生じない。

【0027】特にWSi<sub>2</sub>（タングステンシリサイド）は硬いので、A1データ線上に重ねて形成することで、アルミのヒロックに起因したショートを防止できる。また、タングステンシリサイドはITOからなる画素電極のエッチング液ではエッチングされないで、画素電極のエッチングの際にデータ線がエッチングされる恐れがない。

【0028】本発明の電気光学装置の他の態様によれば、前記第1層間絶縁膜は、絶縁性の高誘電率材料からなる。

【0029】この態様によれば、第1層間絶縁膜を絶縁性の高誘電率材料とすることで、前記第2蓄積容量電極と前記第3導電層からなる第3蓄積容量電極とで構成される第2蓄積容量における蓄積容量の増加が可能となる。第1層間絶縁膜は、ある程度の厚さを必要とするので、比誘電率の大きい高誘電率材料を用いることが、蓄積容量の増加に有利である。前記絶縁性の高誘電率材料としては、チタン酸バリウム、BST、RuO<sub>2</sub>、酸化珪素、酸化タンタル、窒化珪素、酸化珪素などが挙げられ、これらは一種単独あるいは複合して用いてもよく積層して用いてもよい。前記絶縁性の強誘電体材料層は、CVDやPVDなどの化学的又は物理的薄膜形成方法によって形成できる。

【0030】本発明の電気光学装置の他の態様によれば、前記第2コンタクトホールと第3コンタクトホールとは、前記一方の基板上における相異なった平面位置に開孔されている。

【0031】この態様によれば、画素電極からドレイン領域まで同じ平面位置で一つのコンタクトホールを開孔する場合と比較して、コンタクトホールの径を小さくできる。即ち、コンタクトホールを深く開孔する程エッチング精度は落ちるため、薄い半導体層における突き抜けを防止するために、コンタクトホールの径を小さくできるドライエッチングを途中で停止して、最終的にウエットエッチングで半導体層まで開孔するように工程を組まねばならない。このため、指向性のないウエットエッチングによりコンタクトホールの径が広がらざるを得ないのである。これに対して本態様では、画素電極及びドレイン電極間を2つの直列な第2及び第3コンタクトホールにより接続すればよいので、各コンタクトホールをドライエッチングにより開孔することが可能となるか、或いは少なくともウエットエッチングにより開孔する距離を短くすることが可能となる。この結果、第2及び第3コンタクトホールの径を夫々小さくでき、第2コンタクトホールにおける導電性の遮光層の表面に形成される窪みや凹凸も小さくて済むので、その上方に位置する画素電極部分における平坦化が促進される。更に、第3コンタクトホールにおける画素電極の表面に形成される窪みや凹凸も小さくて済むので、この画素電極部分における

平坦化が促進される。これらの結果、画素電極表面の窪みや凹凸に起因する液晶等の電気光学物質におけるディスクリネーション等の不良が低減される。

【0032】本発明の電気光学装置の他の態様によれば、前記第2コンタクトホールと第3コンタクトホールとは、前記一方の基板上における同一位置に開孔されていてもよい。

【0033】この態様によれば、同一位置にコンタクトホールを開孔しているため、コンタクトホールの形成による開口領域の低減を防ぐことができる。

【0034】尚、本発明の電気光学装置においては、図5に示すように、第1層間絶縁層4上に形成された導電性の遮光層80aと第2層間絶縁層7に形成された画素電極9a及び半導体層1aとのコンタクトは、コンタクトホール8a及びコンタクトホール8bを介して、図5(1)及び図5(2)に示すように同一の平面位置に形成することができ、図5(3)に示すように異なる平面位置に形成することもできる。尚、図5(2)に示す態様では、(1)に示す態様に比べ、コンタクトホール8a及び8bの幅を小さくできる。図5(3)に示す態様では、コンタクトホール8a及び8bの穴径を小さくでき、画素ピッチの微細化への対応性に優れると共に、製造しやすい。

【0035】本発明の電気光学装置の他の態様によれば、前記基板と前記半導体層との間に、少なくとも前記半導体層のチャネル領域を覆うように下地遮光膜を更に備えたことを特徴とする。

【0036】この態様によれば、下地遮光膜により、一方の基板側からの戻り光等が薄膜トランジスタのチャネル領域やLDD (Lightly Doped Drain) 領域に入射する事態を未然に防ぐことができ、これに起因した光電流の発生により薄膜トランジスタの特性が劣化することを防止できる。そして、この下地遮光膜により画素開口領域の一部又は全部を規定することも可能となる。なお、この下地遮光膜は以降のプロセスにおける加熱によって遮光性が低下することがあるが、データ線上や走査線上及び容量線上に島状に形成する本発明の遮光層と組み合わせることで、より十分な遮光性を確保できる。

【0037】薄膜トランジスタの下側に下地遮光膜を備えた態様では、前記下地遮光膜は、前記走査線の下に延設されて定電位源に接続されてもよい。このように構成すれば、下地遮光膜の電位が変動して、当該下地遮光膜の上方に層間絶縁膜を介して設けられる薄膜トランジスタにおける特性が劣化する事態を未然に防げる。或いは、この下地遮光膜を備えた態様では、前記下地遮光膜は、前記下地遮光膜と前記半導体膜との間に介在する他の層間絶縁膜に開孔されたコンタクトホールを介して前記容量線と電気的接続されてもよい。このように構成すれば、容量線及び下地遮光膜の電位を同一にでき、容量線及び下地遮光膜のいずれか一方を所定電位とする構成

を採れば、他方の電位も所定電位とできる。この結果、容量線や下地遮光膜における電位揺れによる悪影響を低減できる。また、下地遮光膜からなる配線と容量線とを相互に冗長配線として機能させ得る。

【0038】本発明の電気光学装置の製造方法は上記課題を解決するために、基板に複数の走査線及び複数のデータ線と、前記走査線及び前記データ線に接続された薄膜トランジスタと、前記薄膜トランジスタに接続された画素電極とを有する電気光学装置の製造方法であって、  
10 前記基板上に、ソース・ドレイン領域並びに前記第1蓄積容量電極となる半導体層を形成する工程と、前記半導体層上に前記薄膜トランジスタのゲート絶縁膜及び前記蓄積容量の誘電体膜を構成する絶縁薄膜を形成する工程と、前記絶縁薄膜上に前記走査線及び前記容量線を夫々形成する工程と、前記走査線及び前記容量線の上方に第1層間絶縁膜を形成する工程と、前記ソース領域及び前記ドレイン領域上の前記第1層間絶縁膜に第1及び第2コンタクトホールを形成する工程と、前記第1コンタクトホールを介して前記ソース領域に接続されるように前記データ線を形成する工程と、前記データ線上に前記データ線に接続されるように第1導電層を形成するとともに、  
20 前記ドレイン領域に接続されるように島状の第2導電層を形成する工程と、第1及び第2導電層上に第2層間絶縁膜を形成する工程と、前記第2導電層上の前記第2層間絶縁膜に第3コンタクトホールを形成する工程と、前記第3コンタクトホールを介して前記第2導電層に接続されるように前記画素電極を形成する工程とを有することを特徴とする。

【0039】このような構成によれば、前述した本発明の電気光学装置を比較的少ない工程数で且つ比較的簡単な各工程を用いて製造できる。特に、第2導電層とデータ線とを形成するための第1及び第2コンタクトホールを同時に形成することができ、少ない工程で電気光学装置を製造することができる。

【0040】本発明の電気光学装置の製造方法の他の態様によれば、前記第1及び第2導電層は、データ線とは異なる材料からなることを特徴とする。

【0041】この態様によれば、データ線の形成材料とは異なる材料を用いて、前記所定の領域に形成される島状の第2導電層と同時に、前記データ線上に第1導電層を形成でき、効率が良い。即ち、第1に、データ線を形成するための膜を成膜後この膜をパターニングしてデータ線を形成し、次いで、導電層を成膜後この膜をパターニングして第1及び第2導電層を形成する方法がある。この場合、データ線の形成工程において、第1層間絶縁膜上の相隣接するデータ線間であって走査線及び容量線に沿って伸びる画素の非開口領域（以下、適宜島状領域という）に、データ線の形成材料と同じ材料からなる島状の第2導電層を残すことができる。

【0042】第1の方法では、データ線に関しては、例

例えば図6に示すように、データ線6aだけの場合(図(1))、データ線6aの側面まで遮光層80bが覆う態様(同図(2))、データ線6aの上面だけを遮光層80bが覆う態様(同図(3))がある。図6(2)及び(3)の態様では、アルミニウムのヒロックに起因したショートを防止でき、また、ITOやSiO<sub>2</sub>のエッチング液からAlデータ線を保護できる効果があり、これらの効果は図6(3)の態様の方が高い。一方、島状領域に関しては、図7に示すように、遮光層80aだけの場合(図7(1))、データ線の形成材料と同じ材料からなる島状の遮光膜6cの側面まで遮光層80aが覆う態様(同図(2))、データ線の形成材料と同じ材料からなる島状の遮光膜6cの上面だけを遮光層80aが覆う態様(同図(3))がある。図7(2)及び(3)の態様では、アルミニウム等は抵抗が低いのでコンタクト抵抗を下げる事が可能となる。

【0043】第2に、データ線を形成するための膜及び遮光層又は導電性の遮光層を形成するための膜を重ねて成膜後、この積層膜をパターニングする方法がある。

【0044】この場合、データ線に関しては図6(3)の態様となり、島状領域に関しては図7(3)の態様となる。

【0045】第3に、データ線を形成するための膜を成膜後この膜をパターニングしてデータ線だけ形成し(島状領域には形成しない)、次いで、導電性の遮光層と半導体層とのコンタクトホールを形成し、その後、導電性の遮光層形成するための膜を成膜後この膜をパターニングして導電性の遮光層を形成する方法がある。この場合、データ線のコンタクトホールとは別に、導電性の遮光層と半導体層とのコンタクトホールを形成しているの

で、半導体層とアルミニウムからAlSiが生じ悪影響を及ぼすことを回避できる。

【0046】尚、上記第1から第3の方法において、遮光層又は導電性の遮光層を形成するための膜を先に成膜し、データ線を形成するための膜を後から成膜することもできる。すなわち、上記第1から第3の方法において、「データ線」と「遮光層又は導電性の遮光層」とを入れ替えて読めば、前後又は上下関係を逆にした方法が可能となる。

【0047】本発明のこのような作用及び他の利得は次に説明する実施形態から明らかにする。

【0048】

【発明の実施の形態】以下、本発明の実施の形態を図面に基いて説明する。

【0049】(電気光学装置の第1実施形態)本発明による電気光学装置の第1実施形態である液晶装置の構成について、図1から図4を参照して説明する。図1は、液晶装置の画像表示領域を構成するマトリクス状に形成された複数の画素における各種素子、配線等の等価回路であり、図2は、データ線、走査線、画素電極、遮光膜

等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図であり、図3は、図2の部分平面図であり、図4は、図2のB-B'断面図である。尚、図1～図4においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

【0050】図1において、本実施形態における液晶装置の画像表示領域を構成するマトリクス状に形成された複数の画素は、画素電極9aを制御するためのTFT30がマトリクス状に複数形成されており、画像信号が供給されるデータ線6aが当該TFT30のソースに電気的に接続されている。データ線6aに書き込む画像信号S1、S2、…、Snは、この順に線順次に供給しても構わないし、相隣接する複数のデータ線6a同士に対して、グループ毎に供給するようにしても良い。また、TFT30のゲートに走査線3aが電気的に接続されており、所定のタイミングで、走査線3aにパルス的に走査信号G1、G2、…、Gmを、この順に線順次で印加するように構成されている。画素電極9aは、TFT30のドレインに電気的に接続されており、スイッチング素子であるTFT30を一定期間だけそのスイッチを閉じることにより、データ線6aから供給される画像信号S1、S2、…、Snを所定のタイミングで書き込む。画素電極9aを介して液晶に書き込まれた所定レベルの画像信号S1、S2、…、Snは、対向基板(後述する)に形成された対向電極(後述する)との間で一定期間保持される。液晶は、印加される電圧レベルにより分子集合の配向や秩序が変化することにより、光を変調し、階調表示を可能にする。ノーマリーホワイトモードであれば、印加された電圧に応じて入射光がこの液晶部分を通すことができ、ノーマリーブラックモードであれば、印加された電圧に応じて入射光がこの液晶部分を通すことが不可能とされ、全体として液晶装置からは画像信号に応じたコントラストを持つ光が出射する。ここで、保持された画像信号がリークするのを防ぐために、画素電極9aと対向電極との間に形成される液晶容量と並列に蓄積容量70を付加する。例えば、画素電極9aの電圧は、ソース電圧が印加された時間よりも3桁も長い時間だけ蓄積容量70により保持される。これにより、保持特性は更に改善され、コントラスト比の高い液晶装置が実現できる。

【0051】図2において、液晶装置のTFTアレイ基板上には、マトリクス状に複数の透明な画素電極9a(点線部9a'により輪郭が示されている)が設けられており、画素電極9aの縦横の境界に各々沿ってデータ線6a、走査線3a及び容量線3bが設けられている。データ線6aは、コンタクトホール5を介してポリシリコン膜等からなる半導体層1aのうち後述のソース領域に電気的に接続されている。

【0052】本実施の形態では特に、図3に示すよう

に、データ線 6 a 上には図中右下がりの斜線で示した導電性の遮光層 80 b (以下、導電性遮光層と称す。)が形成されており、また、図中右上がりの斜線で示した島状領域には導電性遮光層 80 a が形成されている。

【0053】図 2 において、画素電極 9 a は、図 3 に示した島状領域に夫々形成された導電性遮光層 80 a を中継して、コンタクトホール 8 a 及びコンタクトホール 8 b を介して半導体層 1 a のうち後述のドレイン領域に電氣的接続されている。また、半導体層 1 a のうちチャンネル領域 1 a' (図中右下がりの斜線の領域) に対向するように走査線 3 a が配置されており、走査線 3 a はゲート電極として機能する。このように、走査線 3 a とデータ線 6 a との交差する個所には夫々、チャンネル領域 1 a' に走査線 3 a がゲート電極として対向配置された TFT 30 が設けられている。

【0054】容量線 3 b は、走査線 3 a に沿ってほぼ直線状に伸びる本線部と、データ線 6 a と交差する箇所からデータ線 6 a に沿って前段側 (図中、上向き) に突出した突出部とを有する。

【0055】特に、矩形の導電性遮光層 80 a は夫々、コンタクトホール 8 a により半導体層 1 a のドレイン領域に電氣的接続されており、コンタクトホール 8 b により画素電極 9 a に電氣的接続されており、ドレイン領域と画素電極 9 a との間における中継用導電層或いはバッファとして機能している。この導電性遮光層 80 a については後に詳述する。

【0056】また、図中右上がりの斜線で示した領域には夫々、走査線 3 a、容量線 3 b 及び TFT 30 の下側を通るように、第 1 遮光膜 11 a が設けられている。より具体的には図 2 において、第 1 遮光膜 11 a は夫々、走査線 3 a 及び容量線 3 b に沿って縞状に形成されていると共に、データ線 6 a に沿って形成されており、これらにより各 TFT のチャンネル領域 1 a' を TFT アレイ基板側から見て夫々覆う位置に設けられている。

【0057】次に図 4 の断面図に示すように、液晶装置は、透明な一方の基板の一例を構成する TFT アレイ基板 10 と、これに対向配置される透明な他方の基板の一例を構成する対向基板 20 とを備えている。TFT アレイ基板 10 は、例えば石英基板からなり、対向基板 20 は、例えばガラス基板や石英基板からなる。TFT アレイ基板 10 には、画素電極 9 a が設けられており、その上側には、ラビング処理等の所定の配向処理が施された配向膜 16 が設けられている。画素電極 9 a は例えば、ITO (Indium Tin Oxide) 膜などの透明導電性薄膜からなる。また配向膜 16 は例えば、ポリイミド薄膜などの有機薄膜からなる。

【0058】他方、対向基板 20 には、その全面に渡って対向電極 (共通電極) 21 が設けられており、その下側には、ラビング処理等の所定の配向処理が施された配向膜 22 が設けられている。対向電極 21 は例えば、I

TO 膜などの透明導電性薄膜からなる。また配向膜 22 は、ポリイミド薄膜などの有機薄膜からなる。

【0059】TFT アレイ基板 10 には、各画素電極 9 a に隣接する位置に、各画素電極 9 a をスイッチング制御する画素スイッチング用 TFT 30 が設けられている。

【0060】対向基板 20 には、更に図 4 に示すように、各画素の非開口領域に、ブラックマスク或いはブラックマトリクスと称される第 2 遮光膜 23 が設けられている。このため、対向基板 20 の側から入射光が画素スイッチング用 TFT 30 の半導体層 1 a のチャンネル領域 1 a' や LDD 領域 1 b 及び 1 c に侵入することはない。更に、第 2 遮光膜 (下地遮光膜) 23 は、コントラストの向上、カラーフィルタを形成した場合における色材の混色防止などの機能を有する。

【0061】このように構成され、画素電極 9 a と対向電極 21 とが対面するように配置された TFT アレイ基板 10 と対向基板 20 との間には、後述のシール材 (図 13 及び図 14 参照) により囲まれた空間に電気光学物質の一例である液晶が封入され、液晶層 50 が形成される。液晶層 50 は、画素電極 9 a からの電界が印加されていない状態で配向膜 16 及び 22 により所定の配向状態をとる。液晶層 50 は、例えば一種又は数種類のネマティック液晶を混合した液晶からなる。シール材は、二つの基板 10 及び 20 をそれらの周辺で貼り合わせるための、例えば光硬化性樹脂や熱硬化性樹脂からなる接着剤であり、両基板間の距離を所定値とするためのガラスファイバー或いはガラスビーズ等のギャップ材 (スペーサ) が混入されている。

【0062】更に図 4 に示すように、画素スイッチング用 TFT 30 に各々対向する位置において TFT アレイ基板 10 と各画素スイッチング用 TFT 30 との間には、第 1 遮光膜 11 a が設けられている。第 1 遮光膜 11 a は、好ましくは不透明な高融点金属である Ti、Cr、W、Ta、Mo 及び Pb のうちの少なくとも一つを含む、金属単体、合金、金属シリサイド等から構成される。このような材料から構成すれば、TFT アレイ基板 10 上の第 1 遮光膜 11 a の形成工程の後に行われる画素スイッチング用 TFT 30 の形成工程における高温処理により、第 1 遮光膜 11 a が破壊されたり溶融しないようにできる。第 1 遮光膜 11 a が形成されているので、TFT アレイ基板 10 の側からの反射光 (戻り光) 等が光に対して励起しやすい画素スイッチング用 TFT 30 のチャンネル領域 1 a' や LDD 領域 1 b、1 c に入射する事態を未然に防ぐことができ、これに起因した光電流の発生により画素スイッチング用 TFT 30 の特性が劣化することはない。

【0063】更に、第 1 遮光膜 11 a と複数の画素スイッチング用 TFT 30 との間には、層間絶縁膜 12 が設けられている。層間絶縁膜 12 は、画素スイッチング用

TFT30を構成する半導体層1aを第1遮光膜11aから電気的絶縁するために設けられるものである。更に、層間絶縁膜12は、TFTアレ基板10の全面に形成されることにより、画素スイッチング用TFT30のための下地膜としての機能を有する。即ち、TFTアレ基板10の表面の研磨時における荒れや、洗浄後に残る汚れ等で画素スイッチング用TFT30の特性の劣化を防止する機能を有する。層間絶縁膜12は、例えば、NSG（ノンシリケートガラス）、PSG（リンシリケートガラス）、BSG（ボロンシリケートガラス）、BPSG（ボロンリンシリケートガラス）などの高絶縁性ガラス又は、酸化シリコン膜、窒化シリコン膜等からなる。層間絶縁膜12により、第1遮光膜11aが画素スイッチング用TFT30等を汚染する事態を未然に防ぐこともできる。

【0064】本実施形態では、半導体膜1aを高濃度ドレイン領域1eから延設して第1蓄積容量電極1fとし、これに対向する容量線3bの一部を第2蓄積容量電極とし、ゲート絶縁膜2を走査線3aに対向する位置から延設してこれらの電極間に挟持された第1誘電体膜とすることにより、第1蓄積容量70aが構成されている。更に、この第2蓄積容量電極と対向する導電性遮光層80aの一部を第3蓄積容量電極とし、これらの電極間に第1層間絶縁膜4を介在させることにより、第2蓄積容量70bが形成されている。そして、これら第1及び第2蓄積容量70a及び70bがコンタクトホール8aを介して並列接続されて蓄積容量70が構成されている。すなわち、導電性遮光層80aによる蓄積容量の増加が可能となる。

【0065】より詳細には、半導体層1aの高濃度ドレイン領域1eが、データ線6a及び走査線3aの下に延設されて画素スイッチング用TFT30を形成し、同じくデータ線6a及び走査線3aに沿って伸びる容量線3b部分に絶縁膜2を介して対向配置されて、第1蓄積容量電極1fとされ、絶縁膜2は誘電体膜として機能している。特に第1蓄積容量70aの第1誘電体膜としての絶縁膜2は、高温酸化によりポリシリコン膜上に形成されるTFT30のゲート絶縁膜2に他ならないので、薄く且つ高耐圧の絶縁膜とすることができ、第1蓄積容量70aは比較的小面積で大容量の蓄積容量として構成できる。また、図3に示したように相隣接するデータ線間の領域を利用して、第2蓄積容量70bは比較的小面積の蓄積容量として構成できる。従って、これら第1及び第2蓄積容量70a及び70bから立体的に構成される蓄積容量70は、データ線6a下の領域及び走査線3aに沿って液晶のディスクリネーションが発生する領域（即ち、容量線3bが形成された領域）という画素開口領域を外れたスペースを有効に利用して、小面積で大容量の蓄積容量とされる。

【0066】図4において、画素スイッチング用TFT

30は、LDD構造を有しており、走査線3a、当該走査線3aからの電界によりチャネルが形成される半導体層1aのチャネル領域1a'、走査線3aと半導体層1aとを絶縁するゲート絶縁膜2、データ線6a、半導体層1aの低濃度ソース領域（ソース側LDD領域）1b及び低濃度ドレイン領域（ドレイン側LDD領域）1c、半導体層1aの高濃度ソース領域1d並びに高濃度ドレイン領域1eを備えている。高濃度ドレイン領域1eには、複数の画素電極9aのうちの対応する一つが導電性遮光層80aを中継して接続されている。ソース領域1b及び1d並びにドレイン領域1c及び1eは後述のように、半導体層1aに対し、n型又はp型のチャネルを形成するかに応じて所定濃度のn型用又はp型用のドーパントをドーピングすることにより形成されている。n型チャネルのTFTは、動作速度が速いという利点があり、画素のスイッチング素子である画素スイッチング用TFT30として用いられることが多い。本実施形態では特にデータ線6aは、Al等の低抵抗な金属膜や金属シリサイド等の合金膜などの遮光性且つ導電性の薄膜から構成されている。また、第1層間絶縁膜4には、高濃度ソース領域1dへ通じるコンタクトホール5及び高濃度ドレイン領域1eへ通じるコンタクトホール8aが各々形成されている。この高濃度ソース領域1dへのコンタクトホール5を介して、データ線6aは高濃度ソース領域1dに電気的接続されている。更に、第2層間絶縁膜7には、導電性遮光層80aへ通じるコンタクトホール8bが形成されている。このコンタクトホール8bを介して、画素電極9aは導電性遮光層80aに電気的接続されており、更に導電性遮光層80aを中継してコンタクトホール8aを介して高濃度ドレイン領域1eに電気的接続されている。前述の画素電極9aは、このように構成された第2層間絶縁膜7の上面に設けられている。

【0067】画素スイッチング用TFT30は、好ましくは上述のようにLDD構造を持つが、低濃度ソース領域1b及び低濃度ドレイン領域1cに不純物イオンの打ち込みを行わないオフセット構造を持ってよいし、ゲート電極3aをマスクとして高濃度で不純物イオンを打ち込み、自己整合的に高濃度ソース及びドレイン領域を形成するセルフアライン型のTFTであってもよい。

【0068】また本実施形態では、画素スイッチング用TFT30のゲート電極3aを高濃度ソース領域1d及び高濃度ドレイン領域1e間に1個のみ配置したシングルゲート構造としたが、これらの間に2個以上のゲート電極を配置してもよい。この際、各々のゲート電極には同一の信号が印加されるようにする。このようにデュアルゲート或いはトリプルゲート以上でTFTを構成すれば、チャネルとソースドレイン領域接合部のリーク電流を防止でき、オフ時の電流を低減することができる。

これらのゲート電極の少なくとも1個をLDD構造或い

10

20

30

40

50

はオフセット構造にすれば、更にオフ電流を低減でき、安定したスイッチング素子を得ることができる。

【0069】図2及び図4に示すように、本実施形態の液晶装置では、TFTアレイ基板10上には、データ線6a及び走査線3bが第1層間絶縁膜4を介して立体的に相交差するように設けられている。そして、導電性遮光層80aは、半導体層1aと画素電極9aとの間に介在しており、高濃度ドレイン領域1eと画素電極9aとをコンタクトホール8a及び8bを経由して電氣的接続する。

【0070】このため、画素電極9aからドレイン領域まで一つのコンタクトホールを開孔する場合と比較して、コンタクトホール8a及び8bの径を夫々小さくできる。即ち、一つのコンタクトホールを開孔する場合には、エッチング時の選択比が低いとコンタクトホールを深く開孔する程エッチング精度は落ちるため、例えば50nm程度の非常に薄い半導体層1aにおける突き抜けを防止するためには、コンタクトホールの径を小さくできるドライエッチングを途中で停止して、最終的にウェットエッチングで半導体層まで開孔するように工程を組まねばならない。或いは、ドライエッチングによる突き抜け防止用のポリシリコン膜を別途設けたりする必要が生じてしまうのである。

【0071】これに対して本実施形態では、画素電極9a及び高濃度ドレイン領域1eを2つの直列なコンタクトホール8a及び8bにより接続すればよいので、これらコンタクトホール8a及び8bを夫々、ドライエッチングにより開孔することが可能となるのである。或いは、少なくともウェットエッチングにより開孔する距離を短くすることが可能となるのである。但し、コンタクトホール8aを最後までドライエッチングで開孔すると半導体層にプラズマによる電荷が流れTFTの静電破壊が起こるので、半導体層に達する前にドライエッチングを止め、その後ウェットエッチングを行うことが好ましい。また、コンタクトホール8a及び8bに夫々、若干のテーパを付けるために、ドライエッチング後に敢えて比較的短時間のウェットエッチングを行うようにしてもよい。ウェットエッチングの場合は、レジストとの界面へのエッチング液のしみ込みや等方性エッチングによりコンタクトホールに若干のテーパが付く。

【0072】以上のように本実施形態によれば、コンタクトホール8a及び8bの径を夫々小さくでき、コンタクトホール8aの上方に形成される窪みや凹凸も小さく済むので、その上方に位置する画素電極9aの部分における平坦化が促進される。更に、コンタクトホール8bにおける画素電極9aの表面に形成される窪みや凹凸も小さくて済むので、この画素電極9aの部分における平坦化が促進される。これらの結果、画素電極9aの表面の窪みや凹凸に起因する液晶層50におけるディスクリネーション（配向不良）が低減され、最終的には当該

液晶装置により高品位の画像表示が可能となる。例えば、導電性遮光層80aと画素電極9aとの間に介在する第2層間絶縁膜7の層厚を数千オングストローム程度にしておけば、上述した画素電極9aの表面における窪みや凹凸に、より直接的に影響するコンタクトホール8bの径を非常に小さくできる。また、これらコンタクトホール8a及び8bが開孔された平面位置に発生する凹凸が、相重なって凹凸が増幅する事態を回避できる。よって、これらのコンタクトホールにおける良好なコンタクトが期待できる。

【0073】尚、本実施形態では、導電性遮光層80aは、主として高融点金属であるTi、Cr、W、Ta、Mo及びPbなどの金属シリサイド等から構成される。このため金属シリサイド膜と層間絶縁膜（即ち、ガラス膜やシリコン膜）とのエッチングにおける選択比が大きく異なるため、前述の如きドライエッチングによる導電性遮光層80aの突き抜けの可能性は殆ど無い。

【0074】導電性遮光層80aの層厚は、例えば50nm以上500nm以下程度とするのが好ましい。50nm程度の厚みがあれば、製造プロセスにおけるコンタクトホール8bの開孔時に突き抜ける可能性は低くなり、また500nm程度であれば画素電極9aの表面の凹凸は問題とならないか或いは比較的容易に平坦化可能だからである。

【0075】本実施形態では、第1遮光膜11aがTFTアレイ基板10側から見て走査線3a、容量線3b及びデータ線6aを覆うように即ち、各画素を囲む格子状の非開口領域の全域に設けられている。更に、層間絶縁膜12には、容量線3bと第1遮光膜11aとを電氣的接続するコンタクトホール15が設けられている。容量線3b及び第1遮光膜11aは、基板周辺領域において、定電位配線に接続されている。従って、第1遮光膜11aは、画素開口領域を規定する機能と共に容量線3bの定電位配線又は冗長配線としての機能を有する。このように構成すれば、第1遮光膜11a単独で画素開口領域を規定することが可能となる。更に、容量線3b及び第1遮光膜11aの電位を同一の一定電位にでき、容量線3bや第1遮光膜11aにおける電位揺れによる画像信号やTFT30への悪影響を低減できる。

【0076】また、容量線3bと走査線3aとは、同一のポリシリコン膜からなり、第1の蓄積容量70aの第1誘電体膜と画素スイッチング用TFT30のゲート絶縁膜2とは、同一の高温酸化膜等からなり、第1蓄積容量電極1fと画素スイッチング用TFT30のチャネル形成領域1a'、ソース領域1d、ドレイン領域1e等とは、同一の半導体層1aからなる。このため、TFTアレイ基板10上に形成される積層構造を単純化でき、更に、後述の電気光学装置の製造方法において、同一の薄膜形成工程で容量線3b及び走査線3aを同時に形成でき、蓄積容量70aの第1誘電体膜及びゲート絶縁膜

2を同時に形成できる。

【0077】本実施形態では特に、導電性遮光層80aは、導電性の遮光膜からなる。従って、導電性遮光層80aにより、各画素開口領域を少なくとも部分的に規定することが可能となる。また、導電性遮光層80aにより、あるいはデータ線6a等の遮光性を有する配線のTFT基板10に形成された遮光性を有する膜との組み合わせで画素開口部を規定することにより、対向基板20側の第2遮光膜を省略することも可能である。対向基板20上の第2遮光膜23ではなく、TFTアレイ基板10上に遮光膜として導電性遮光層80a設ける構成は、製造プロセスにおけるTFTアレイ基板10と対向基板20との位置ずれによって画素開口率の低下を招かない点で極めて有利である。

【0078】尚、対向基板20上の第2遮光膜23は、主に入射光による液晶装置の温度上昇を抑える目的で、小さ目（幅狭）に形成して画素開口領域を規定しないように構成してもよい。このように第2遮光膜23をTFTアレイ基板における遮光領域よりも小さ目に形成しておけば、製造プロセスにおける両基板間の多少の位置ずれによっては画素開口領域が小さくならないで済む。

【0079】導電性遮光層80a、80bは、高融点金属であるTi、Cr、W、Ta、Mo及びPbなどの金属シリサイド等から構成される。このように構成すれば、導電性遮光層80a形成工程の後に行われる高温処理により、導電性遮光層80aが破壊されたり熔融しないようにできる。

【0080】更に、これらの高融点金属のシリサイドと画素電極9aを構成するITO（Indium Tin Oxide）膜との相性はよいため、コンタクトホール8bを介して導電性遮光層80a及び画素電極9a間で良好なコンタクトがとれる。

【0081】また本実施形態では特に、遮光膜からなる導電性遮光層80aは、図3に示すように、TFTアレイ基板10上における平面形状が相隣接するデータ線6a間を走査線3a及び容量線3bに沿って伸びる画素の非開口領域に、島状に形成されている。従って、画素開口領域の走査線3aに沿った辺のより多くの部分を規定することが可能となる。

【0082】尚、走査線3aと画素電極9aとが隣接する側（図2で下側）における画素開口領域の走査線3aに沿った辺については、第1遮光膜11aや第2遮光膜23により規定すればよい。また、画素開口領域のデータ線6aに沿った辺については、A1等からなるデータ線6a或いは第1遮光膜11aや第2遮光膜23により規定すればよい。

【0083】（電気光学装置の第1実施形態における製造プロセス）次に、以上のような構成を持つ実施形態における液晶装置の製造プロセスについて、図8から図11を参照して説明する。尚、図8から図11は各工程に

におけるTFTアレイ基板側の各層を、図4と同様に図2のB-B'断面に対応させて示す工程図である。

【0084】先ず図8の工程（1）に示すように、石英基板、ハードガラス等のTFTアレイ基板10を用意する。ここで、好ましくはN<sub>2</sub>（窒素）等の不活性ガス雰囲気且つ約900～1300℃の高温でアニール処理し、後に実施される高温プロセスにおけるTFTアレイ基板10に生じる歪みが少なくなるように前処理しておく。即ち、製造プロセスにおける最高温で高温処理される温度に合わせて、事前にTFTアレイ基板10を同じ温度かそれ以上の温度で熱処理しておく。そして、このように処理されたTFTアレイ基板10の全面に、Ti、Cr、W、Ta、Mo及びPb等の金属や金属シリサイド等の金属合金膜を、スパッタリングにより、100～500nm程度の層厚、好ましくは約200nmの層厚の遮光膜11を形成する。尚、遮光膜11上には、表面反射を緩和するためにポリシリコン膜等の反射防止膜を形成しても良い。

【0085】次に工程（2）に示すように、該形成された遮光膜11上にフォトリソグラフィにより第1遮光膜11aのパターン（図2参照）に対応するレジストマスクを形成し、該レジストマスクを介して遮光膜11に対しエッチングを行うことにより、第1遮光膜11aを形成する。

【0086】次に工程（3）に示すように、第1遮光膜11aの上に、例えば、常圧又は減圧CVD法等によりTEOS（テトラ・エチル・オルソ・シリケート）ガス、TEB（テトラ・エチル・ボートレート）ガス、TMOP（テトラ・メチル・オキシ・フォスレート）ガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる層間絶縁膜12を形成する。この層間絶縁膜12の層厚は、例えば、約500～2000nmとする。

【0087】次に工程（4）に示すように、層間絶縁膜12の上に、約450～550℃、好ましくは約500℃の比較的低温環境中で、流量約400～600cc/minのモノシランガス、ジシランガス等を用いた減圧CVD（例えば、圧力約20～40PaのCVD）により、アモルファスシリコン膜を形成する。その後、窒素雰囲気中で、約600～700℃にて約1～10時間、好ましくは、4～6時間のアニール処理を施することにより、ポリシリコン膜1を約50～200nmの厚さ、好ましくは約100nmの厚さとなるまで固相成長させる。固相成長させる方法としては、RTA（Rapid Thermal Anneal）を使ったアニール処理でも良いし、エキシマレーザー等を用いたレーザーアニールでも良い。

【0088】この際、図4に示した画素スイッチング用TFT30として、nチャネル型の画素スイッチング用TFT30を作成する場合には、当該チャネル領域にS



b (アンチモン)、As (砒素)、P (リン) などのV族元素のドーパントを僅かにイオン注入等によりドーブしても良い。また、画素スイッチング用TFT30をpチャネル型とする場合には、B (ボロン)、Ga (ガリウム)、In (インジウム) などのIII族元素のドーパントを僅かにイオン注入等によりドーブしても良い。尚、アモルファスシリコン膜を経ないで、減圧CVD法等によりポリシリコン膜1を直接形成しても良い。或いは、減圧CVD法等により堆積したポリシリコン膜にシリコンイオンを打ち込んで一旦非晶質化 (アモルファス化) し、その後アニール処理等により再結晶化させてポリシリコン膜1を形成しても良い。

【0089】次に工程(5)に示すように、フォトリソグラフィ工程、エッチング工程等により、図2に示した如き第1蓄積容量電極1fを含む所定パターンを有する半導体層1aを形成する。

【0090】次に工程(6)に示すように、画素スイッチング用TFT30を構成する半導体層1aと共に第1蓄積容量電極1fを約900~1300℃の温度、好ましくは約1000℃の温度により熱酸化することにより、約30nmの比較的薄い厚さの熱酸化シリコン膜2aを形成し、更に工程(7)に示すように、減圧CVD法等により高温酸化シリコン膜 (HTO膜) や窒化シリコン膜からなる絶縁膜2bを約50nmの比較的薄い厚さに堆積し、熱酸化シリコン膜2a及び絶縁膜2bを含む多層構造を持つ画素スイッチング用TFT30のゲート絶縁膜2と共に蓄積容量形成用の第1誘電体膜を形成する。この結果、第1蓄積容量電極1fの厚さは、約30~150nmの厚さ、好ましくは約35~50nmの厚さとなり、ゲート絶縁膜2及び第1誘電体膜の厚さは、約20~150nmの厚さ、好ましくは約30~100nmの厚さとなる。このように高温熱酸化時間を短くすることにより、特に8インチ程度の大型基板を使用する場合に熱によるそりを防止することができる。但し、ポリシリコン層1を熱酸化することのみにより、単一層構造を持つゲート絶縁膜2を形成してもよい。

【0091】次に工程(8)に示すように、フォトリソグラフィ工程、エッチング工程等によりレジスト層500を第1蓄積容量電極1fとなる部分を除く半導体層1a上に形成した後、例えばPイオンをドーズ量約 $3 \times 10^{12} / \text{cm}^2$ でドーブして、第1蓄積容量電極1fを低抵抗化する。

【0092】次に工程(9)に示すように、レジスト層500を除去した後、減圧CVD法等によりポリシリコン層3を堆積し、更にリン(P)を熱拡散し、ポリシリコン膜3を導電化する。又は、Pイオンをポリシリコン層膜3の成膜と同時に導入したドーブトシリコン膜を用いてもよい。ポリシリコン層3の層厚は、約100~500nmの厚さ、好ましくは約300nmに体積する。

【0093】次に図9の工程(10)に示すように、レ

ジストマスクを用いたフォトリソグラフィ工程、エッチング工程等により、図2に示した如き所定パターンの走査線3aと共に容量線3bを形成する。これらの容量線3b (走査線3a) の層厚は、例えば、約350nmとされる。走査線3a及び容量線3bは、高融点金属や金属シリサイド等の金属合金膜で形成しても良いし、ポリシリコン膜等と組み合わせた多層配線としても良い。

【0094】次に工程(11)に示すように、図3に示した画素スイッチング用TFT30をLDD構造を持つnチャネル型のTFTとする場合、半導体層1aに、先ず低濃度ソース領域1b及び低濃度ドレイン領域1cを形成するために、走査線3a (ゲート電極) を拡散マスクとして、PなどのV族元素のドーパントを低濃度で (例えば、Pイオンを $1 \sim 3 \times 10^{13} / \text{cm}^2$ のドーズ量にて) ドープする。これにより走査線3a下の半導体層1aはチャネル領域1a'となる。この不純物のドーブにより容量線3b及び走査線3aも低抵抗化される。

【0095】次に工程(12)に示すように、画素スイッチング用TFT30を構成する高濃度ソース領域1d及び高濃度ドレイン領域1eを形成するために、走査線3aよりも幅の広いマスクでレジスト層600を走査線3a上に形成した後、同じくPなどのV族元素のドーパントを高濃度で (例えば、Pイオンを $1 \sim 3 \times 10^{15} / \text{cm}^2$ のドーズ量にて) ドープする。また、画素スイッチング用TFT30をpチャネル型とする場合、半導体層1aに、低濃度ソース領域1b及び低濃度ドレイン領域1c並びに高濃度ソース領域1d及び高濃度ドレイン領域1eを形成するために、BなどのIII族元素のドーパントを用いてドーブする。尚、例えば、低濃度のドーブを行わずに、オフセット構造のTFTとしてもよく、走査線3aをマスクとして、Pイオン、Bイオン等を用いたイオン注入技術によりセルフアライン型のTFTとしてもよい。この不純物のドーブにより容量線3b及び走査線3aも更に低抵抗化される。

【0096】尚、これらのTFT30の素子形成工程と並行して、nチャネル型TFT及びpチャネル型TFTから構成される相補型構造を持つデータ線駆動回路、走査線駆動回路等の周辺回路をTFTアレイ基板10上の周辺部に形成してもよい。このように、本実施形態において画素スイッチング用TFT30は半導体層をポリシリコンで形成するので、画素スイッチング用TFT30の形成時にほぼ同一工程で、周辺回路を形成することができ、製造上有利である。

【0097】次に工程(13)に示すように、レジスト層600を除去した後、容量線3b及び走査線3a並びにゲート絶縁膜2 (第1誘電体膜) 上に、例えば、常圧又は減圧CVD法やTEOSガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第1層間絶

緑膜 4 を形成する。第 1 層間絶縁膜 4 の層厚は、約 500 ~ 1500 nm が好ましい。第 1 層間絶縁膜 4 の層厚が 500 nm 以上あれば、データ線 6 a 及び走査線 3 a 間における寄生容量カップリングは余り又は殆ど問題とされない。

【0098】次に工程 (14) の段階で、高濃度ソース領域 1 d 及び高濃度ドレイン領域 1 e を活性化するために約 1000℃ のアニール処理を 20 分程度行った後、データ線 6 a に対するコンタクトホール 5 を開孔する。また、走査線 3 a や容量線 3 b を基板周辺領域において図示しない配線と接続するためのコンタクトホールも、コンタクトホール 5 と同一の工程により第 1 層間絶縁膜 4 に開孔する。

【0099】次に、工程 (15) に示すように、第 1 層間絶縁膜 4 の上に、スパッタ処理等により、遮光性の Al 等の低抵抗金属や金属シリサイド等を金属膜 6 として、約 100 ~ 500 nm の厚さ、好ましくは約 300 nm に堆積する。

【0100】次に工程 (16) に示すように、フォトリソグラフィ工程、エッチング工程等により、データ線 6 a を形成する。

【0101】次に図 10 の工程 (17) に示すように、第 1 層間絶縁膜 4 に、画素電極に対するコンタクトホール 8 a を開孔する。

【0102】次に工程 (18) に示すように、第 1 層間絶縁膜 4 及びコンタクトホール 8 a を介して覗く高濃度ドレイン領域 1 e の全面に、第 1 遮光膜 11 a と同じく、Ti、Cr、W、Ta、Mo 及び Pb 等の金属シリサイド等の膜をスパッタ処理により堆積して、50 ~ 500 nm 程度の層厚の導電性遮光層 80 を形成する。500 nm 程度の厚みがあれば、後にコンタクトホール 8 b を開孔する時に突き抜ける可能性は殆どない。尚、この導電性遮光層 80 上には、表面反射を緩和するためにポリシリコン膜等の反射防止膜を形成しても良い。

【0103】次に工程 (19) に示すように、該形成された導電性遮光層 80 上にフォトリソグラフィにより導電性遮光層 80 a 及び導電性遮光層 80 b のパターン (図 3 参照) に対応するレジストマスクを形成し、該レジストマスクを介して導電性遮光層 80 に対しエッチングを行うことにより、第 3 蓄積容量電極を含む導電性遮光層 80 a、及び導電性遮光層 80 b を形成する。

【0104】次に工程 (20) に示すように、導電性遮光層 80 a 及び 80 b 上を覆うように、例えば、常圧又は減圧 CVD 法や TEOS ガス等を用いて、NSG、PSG、BSG、BPSG などのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第 2 層間絶縁膜 7 を形成する。第 2 層間絶縁膜 7 の層厚は、約 500 ~ 1500 nm が好ましい。

【0105】次に図 11 の工程 (21) に示すように、画素電極 9 a と導電性遮光層 80 a とを電気的接続する

ためのコンタクトホール 8 b を、反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより形成する。また、テーパ状にするためにウェットエッチングを用いても良い。

【0106】次に工程 (22) に示すように、第 2 層間絶縁膜 7 の上に、スパッタ処理等により、ITO 膜等の透明導電性薄膜 9 を、約 50 ~ 200 nm の厚さに堆積し、更に工程 (23) に示すように、フォトリソグラフィ工程、エッチング工程等により、画素電極 9 a を形成する。尚、当該液晶装置を反射型の液晶装置に用いる場合には、Al 等の反射率の高い不透明な材料から画素電極 9 a を形成してもよい。

【0107】続いて、画素電極 9 a の上にポリイミド系の配向膜の塗布液を塗布した後、所定のプレティルト角を持つように且つ所定方向でラビング処理を施すこと等により、配向膜 16 (図 4 参照) が形成される。

【0108】他方、図 4 に示した対向基板 20 については、ガラス基板等が先ず用意され、第 2 遮光膜 23 及び額縁としての第 3 遮光膜 53 (図 13 及び図 14 参照) が、例えば金属クロムをスパッタした後、フォトリソグラフィ工程、エッチング工程を経て形成される。尚、これらの第 2 及び第 3 遮光膜は、Cr、Ni、Al などの金属材料の他、カーボンや Ti をフォトレジストに分散した樹脂ブラックなどの材料から形成してもよい。尚、TFT アレイ基板 10 上で、データ線 6 a、導電性遮光層 80 a 及び 80 b、第 1 遮光膜 11 a 等で遮光領域を規定すれば、対向基板 20 上の第 2 遮光膜 23 や第 3 遮光膜を省くことができる。

【0109】その後、対向基板 20 の全面にスパッタ処理等により、ITO 等の透明導電性薄膜を、約 50 ~ 200 nm の厚さに堆積することにより、対向電極 21 を形成する。更に、対向電極 21 の全面にポリイミド系の配向膜の塗布液を塗布した後、所定のプレティルト角を持つように且つ所定方向でラビング処理を施すこと等により、配向膜 22 (図 4 参照) が形成される。

【0110】最後に、上述のように各層が形成された TFT アレイ基板 10 と対向基板 20 とは、配向膜 16 及び 22 が対面するようにシール材 (図 13 及び図 14 参照) により貼り合わされ、真空吸引等により、両基板間の空間に、例えば複数種類のネマティック液晶を混合してなる液晶が吸引されて、所定層厚の液晶層 50 が形成される。

【0111】(電気光学装置の第 2 実施形態) 本発明による電気光学装置の第 2 実施形態である液晶装置の構成について、図 12 を参照して説明する。図 12 は、第 1 実施形態における図 2 の平面図の B-B' 断面に対応する第 2 実施形態の断面図である。尚、図 12 に示した第 2 実施形態において図 4 に示した第 1 実施形態と同様の構成要素については、同様の参照符号を付し、その説明は省略する。また、図 12 においては、各層や各部材を

10

20

30

40

50

図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

【0112】図12において、第2実施形態では第1実施形態とは異なり、導電性遮光層80aの下に、データ線と同じ材料からなり、データ線形成時に同時に形成された層が形成されている。この層の平面形状は、島状の導電性遮光層80aの形状と同じである。その他の構成については第1実施形態の場合と同様である。

【0113】第2実施形態によれば、データ線の形成材料であるアルミニウム等は抵抗が低いのでコンタクト抵抗を下げる事が可能となる。

【0114】尚、第1及び第2実施形態では、第2層間絶縁膜7の平坦化により画素電極9aが平坦化されている。第2層間絶縁膜7の平坦化は、例えば、CMP (Chemical Mechanical Polishing) 処理、スピコート処理、リフロー法等により行ったり、有機SOG (Spin On Glass) 膜、無機SOG膜、ポリイミド膜等を利用して行えばよい。

【0115】(電気光学装置の全体構成) 以上のように構成された各実施形態における液晶装置の全体構成を図13及び図14を参照して説明する。尚、図13は、TFTアレイ基板10をその上に形成された各構成要素と共に対向基板20の側から見た平面図であり、図14は、図12のH-H' 断面図である。

【0116】図13において、TFTアレイ基板10の上には、シール材52がその縁に沿って設けられており、その内側に並行して、例えば第2遮光膜23と同じ或いは異なる材料から成る画像表示領域の周辺を規定する額縁としての第3遮光膜53が設けられている。シール材52の外側の領域には、データ線6aに画像信号を所定タイミングで供給することによりデータ線6aを駆動するデータ線駆動回路101及び実装端子102がTFTアレイ基板10の一边に沿って設けられており、走査線3aに走査信号を所定タイミングで供給することにより走査線3aを駆動する走査線駆動回路104が、この一边に隣接する2辺に沿って設けられている。走査線3aに供給される走査信号遅延が問題にならないのならば、走査線駆動回路104は片側だけでも良いことは言うまでもない。また、データ線駆動回路101を画像表示領域の辺に沿って両側に配列してもよい。例えば奇数列のデータ線6aは画像表示領域の一方の辺に沿って配設されたデータ線駆動回路から画像信号を供給し、偶数列のデータ線は前記画像表示領域の反対側の辺に沿って配設されたデータ線駆動回路から画像信号を供給するようにしてもよい。この様にデータ線6aを櫛歯状に駆動するようにすれば、データ線駆動回路の占有面積を拡張することができるため、複雑な回路を構成することが可能となる。更にTFTアレイ基板10の残る一边には、画像表示領域の両側に設けられた走査線駆動回路104間をつなぐための複数の配線105が設けられている。

また、対向基板20のコーナー部の少なくとも1箇所においては、TFTアレイ基板10と対向基板20との間で電氣的導通をとるための導通材106が設けられている。そして、図14に示すように、図13に示したシール材52とほぼ同じ輪郭を持つ対向基板20が当該シール材52によりTFTアレイ基板10に固着されている。尚、TFTアレイ基板10上には、これらのデータ線駆動回路101、走査線駆動回路104等に加えて、複数のデータ線6aに画像信号を所定のタイミングで印加するサンプリング回路103、複数のデータ線6aに所定電圧レベルのプリチャージ信号を画像信号に先行して各々供給するプリチャージ回路、製造途中や出荷時の当該液晶装置の品質、欠陥等を検査するための検査回路等を形成してもよい。尚、本実施の形態によれば、対向基板20上の第2遮光膜23はTFTアレイ基板10の遮光領域よりも小さく形成すれば良い。また、液晶装置の用途により、第2遮光膜23は容易に取り除くことができる。

【0117】以上図1から図14を参照して説明した各実施形態では、データ線駆動回路101及び走査線駆動回路104をTFTアレイ基板10の上に設ける代わりに、例えばTAB (Tape Automated Bondingテープオートメテッドボンディング) 基板) 上に実装された駆動用LSIに、TFTアレイ基板10の周辺部に設けられた異方性導電フィルムを介して電氣的及び機械的に接続するようにしてもよい。また、対向基板20の投射光が入射する側及びTFTアレイ基板10の出射光が出射する側には各々、例えば、TN (Twisted Nematicツイステッドネマティック) モード、VA (Vertically Aligned) STN (スーパーTN) モード、PBL C (Polymer Dispersed Liquid Crystal) モードD-STN (ダブルSTN) モード等の動作モードや、ノーマリーホワイトモード/ノーマリーブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光板などが所定の方角で配置される。

【0118】以上説明した各実施形態における液晶装置は、カラー液晶プロジェクトに適用されるため、3枚の液晶装置がR (赤) G (緑) B (青) 用のライトバルブとして各々用いられ、各パネルには各々RGB色分解用のダイクロイックミラーを介して分解された各色の光が投射光として各々入射されることになる。従って、各実施形態では、対向基板20に、カラーフィルタは設けられていない。しかしながら、第2遮光膜23の形成されていない画素電極9aに対向する所定領域にRGBのカラーフィルタをその保護膜と共に、対向基板20上に形成してもよい。あるいは、TFTアレイ基板10上のRGBに対向する画素電極9a下にカラーレジスト等でカラーフィルタ層を形成することも可能である。このようにすれば、液晶プロジェクト以外の直視型や反射型のカラー液晶テレビなどのカラー液晶装置に各実施形態にお

ける液晶装置を適用できる。更に、対向基板 20 上に 1 画素 1 個対応するようにマイクロレンズを形成してもよい。このようにすれば、入射光の集光効率を向上することで、明るい液晶装置が実現できる。更にまた、対向基板 20 上に、何層もの屈折率の相違する干渉層を堆積することで、光の干渉を利用して、RGB 色を作り出すダイクロイックフィルタを形成してもよい。このダイクロイックフィルタ付き対向基板によれば、より明るいカラー液晶装置が実現できる。

【0119】以上説明した各実施形態における液晶装置では、従来と同様に入射光を対向基板 20 の側から入射することとしたが、第 1 遮光膜 11a を設けているので、TFT アレイ基板 10 の側から入射光を入射し、対向基板 20 の側から出射するようにしても良い。即ち、このように液晶装置を液晶プロジェクタに取り付けても、半導体層 1a のチャネル領域 1a' 及び LDD 領域 1b、1c に光が入射することを防ぐことが出来、高画質の画像を表示することが可能である。ここで、従来は、TFT アレイ基板 10 の裏面側での反射を防止するために、反射防止用の AR (Anti Reflection) 被膜された偏光板を別途配置したり、AR フィルムを貼り付ける必要があったが、各実施形態では、TFT アレイ基板 10 の表面と半導体層 1a の少なくともチャネル領域 1a' 及び LDD 領域 1b、1c との間に第 1 遮光膜 11a が形成されているため、このような AR 被膜された偏光板や AR フィルムを用いたり、TFT アレイ基板 10 そのものを AR 処理した基板を使用する必要がなくなる。従って、各実施形態によれば、材料コストを削減でき、また偏光板貼り付け時に、ごみ、傷等により、歩留まりを落とすことがなく大変有利である。また、耐光性が優れているため、明るい光源を使用したり、偏光ビームスプリッタにより偏光変換して、光利用効率を向上させても、光によるクロストーク等の画質劣化を生じない。

【0120】また、各画素に設けられるスイッチング素子としては、正スタガ型又はコプラナー型のポリシリコン TFT であるとして説明したが、逆スタガ型の TFT やアモルファスシリコン TFT 等の他の形式の TFT に対しても、各実施形態は有効である。

#### 【図面の簡単な説明】

【図 1】電気光学装置の第 1 実施形態である液晶装置における画像表示領域を構成するマトリクス状の複数の画素に設けられた各種素子、配線等の等価回路である。

【図 2】第 1 実施形態の液晶装置におけるデータ線、走査線、画素電極、遮光膜等が形成された TFT アレイ基板の相隣接する複数の画素群の平面図である。

【図 3】図 2 の部分平面図である。

【図 4】図 2 の B-B' 断面図である。

【図 5】導電性の遮光層と画素電極及び半導体層とのコンタクトの態様を説明するための部分断面図である。

【図 6】データ線上に形成する遮光層の態様を説明するための部分断面図である。

【図 7】所定の島状領域に形成する遮光層の態様を説明するための部分断面図である。

【図 8】第 1 実施形態の液晶装置の製造プロセスを順を追って示す工程図 (その 1) である。

【図 9】第 1 実施形態の液晶装置の製造プロセスを順を追って示す工程図 (その 2) である。

【図 10】第 1 実施形態の液晶装置の製造プロセスを順を追って示す工程図 (その 3) である。

【図 11】第 1 実施形態の液晶装置の製造プロセスを順を追って示す工程図 (その 4) である。

【図 12】電気光学装置の第 2 実施形態である液晶装置の断面図である。

【図 13】各実施形態の液晶装置における TFT アレイ基板をその上に形成された各構成要素と共に対向基板の側から見た平面図である。

【図 14】図 12 の H-H' 断面図である。

#### 【符号の説明】

- 1 a … 半導体層
- 1 a' … チャネル領域
- 1 b … 低濃度ソース領域 (ソース側 LDD 領域)
- 1 c … 低濃度ドレイン領域 (ドレイン側 LDD 領域)
- 1 d … 高濃度ソース領域
- 1 e … 高濃度ドレイン領域
- 1 f … 第 1 蓄積容量電極
- 2 … ゲート絶縁膜
- 3 a … 走査線
- 3 b … 容量線 (第 2 蓄積容量電極)
- 4 … 第 1 層間絶縁膜
- 5 … コンタクトホール
- 6 a … データ線
- 7 … 第 2 層間絶縁膜
- 8 a … コンタクトホール
- 8 b … コンタクトホール
- 9 a … 画素電極
- 10 … TFT アレイ基板
- 11 a、11 b … 第 1 遮光膜
- 12 … 層間絶縁膜
- 15 … コンタクトホール
- 16 … 配向膜
- 20 … 対向基板
- 21 … 対向電極
- 22 … 配向膜
- 23 … 第 2 遮光膜
- 30 … 画素スイッチング用 TFT
- 50 … 液晶層
- 52 … シール材
- 53 … 第 3 遮光膜
- 70 … 蓄積容量

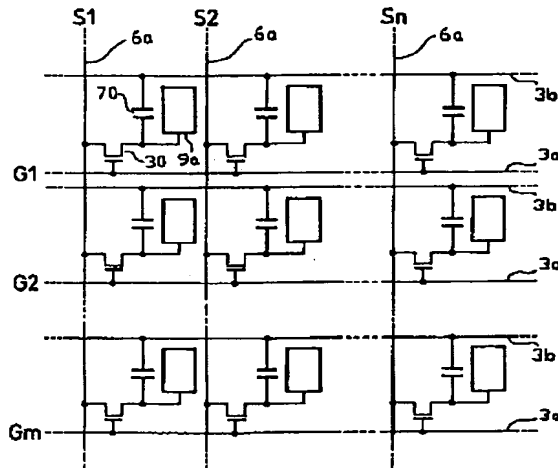
29

30

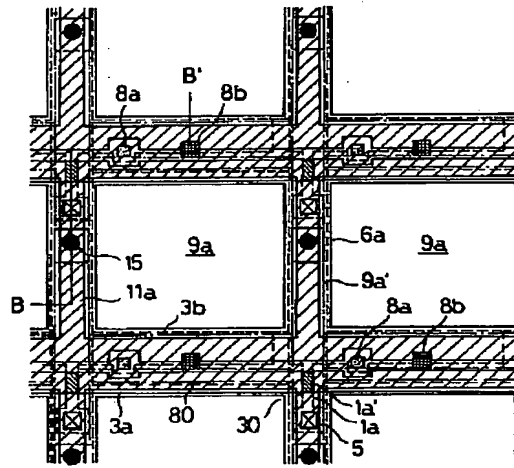
70a...第1蓄積容量  
70b...第2蓄積容量  
80...遮光層  
80a...導電性遮光層

80b...導電性遮光層第2蓄積容量  
81...第2誘電体膜  
101...データ線駆動回路  
104...走査線駆動回路

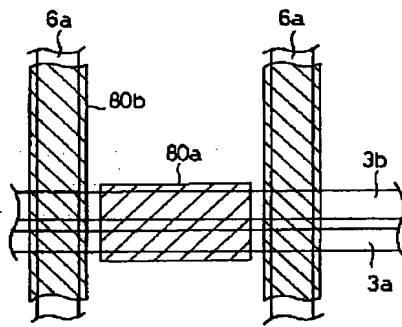
【図1】



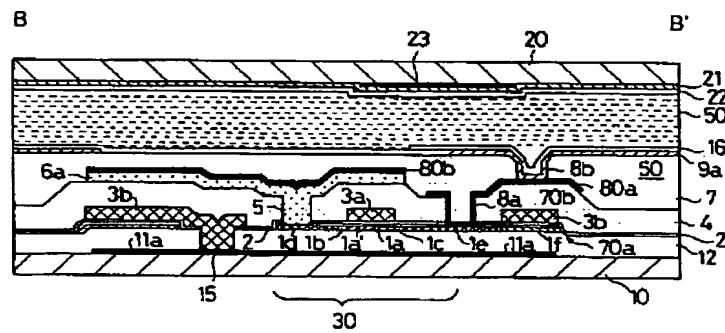
【図2】



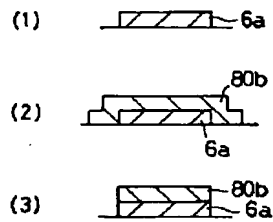
【図3】



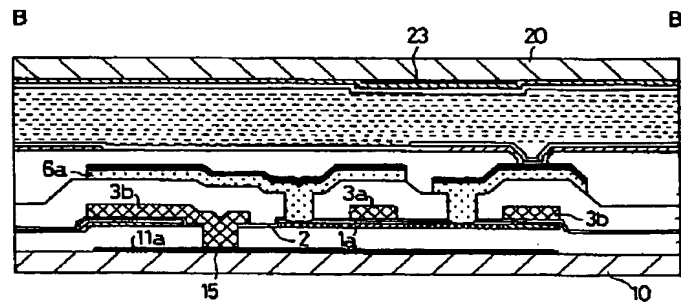
【図4】



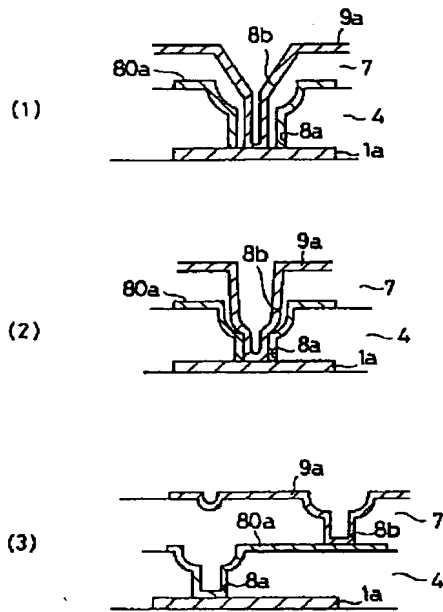
【図6】



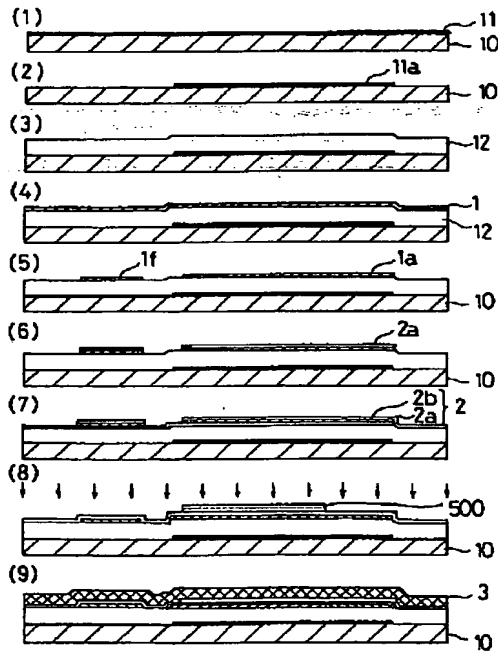
【図12】



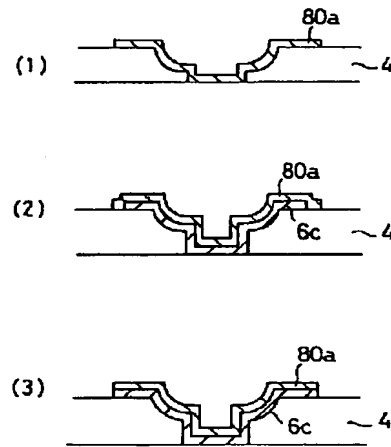
【図 5】



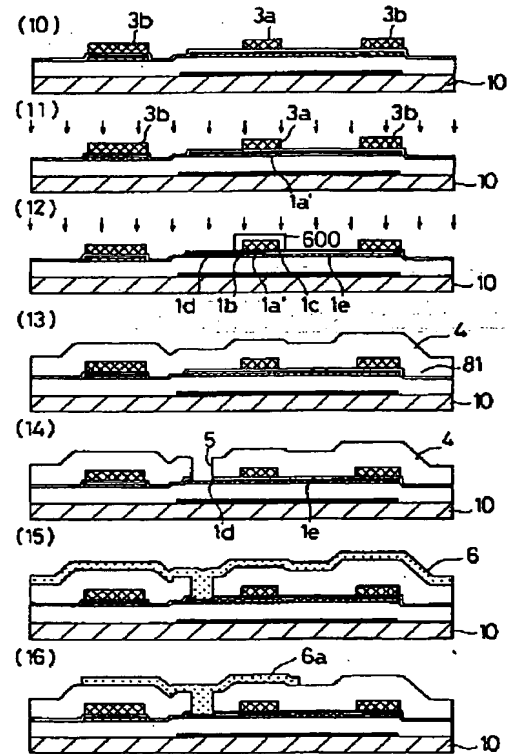
【図 8】



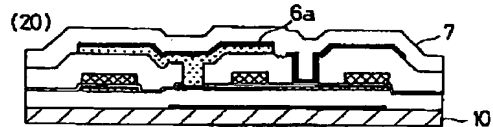
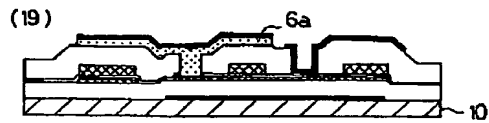
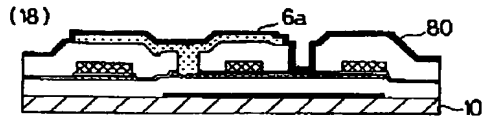
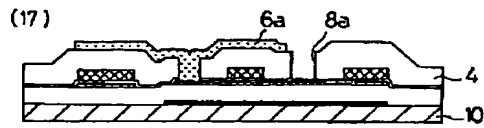
【図 7】



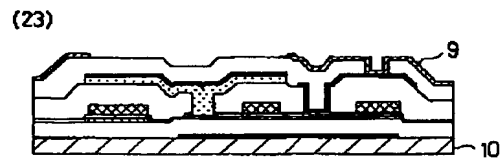
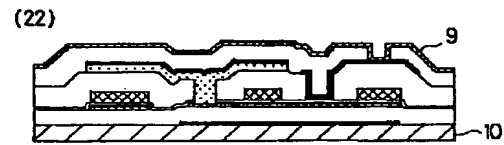
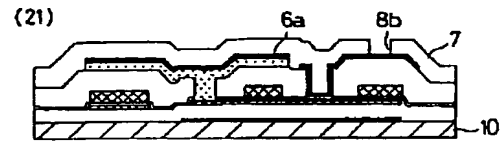
【図 9】



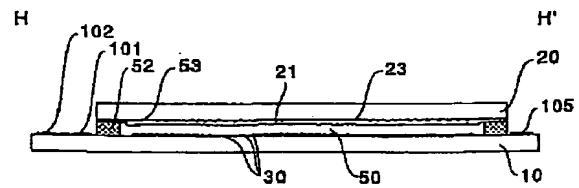
【図 10】



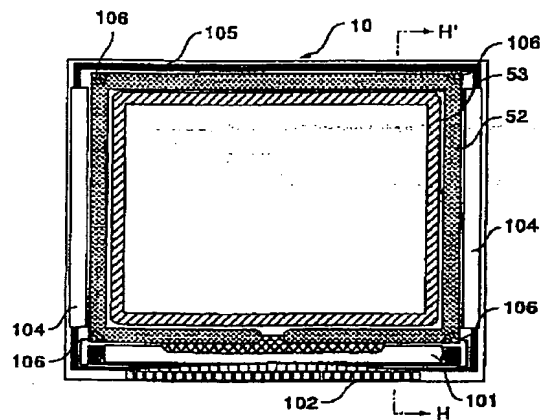
【図 11】



【図 14】



【図 13】



## フロントページの続き

F ターム(参考) 2H092 GA51 JA25 JA33 JA35 JA46  
JB51 JB64 JB69 KA04 KA05  
KA10 KA22 KB25 MA05 MA07  
MA08 MA13 MA18 MA19 MA27  
MA29 MA30 MA37 NA01 NA04  
NA07 NA16 PA02 PA04 PA06  
PA08 PA09  
5C058 AA06 AB01 AB02 BA25 BA35  
5C094 AA05 AA07 BA03 BA43 CA19  
DA13 DB04 EA03 EA04 EA07  
ED15 FB12 FB15 FB19 GB01  
5F110 AA21 BB01 BB02 BB04 CC02  
DD02 DD03 DD12 DD13 DD14  
DD25 EE04 EE05 EE09 FF02  
FF03 FF09 FF23 FF32 GG02  
GG13 GG15 GG25 GG32 GG47  
GG52 GG53 HJ01 HJ04 HJ13  
HJ23 HL02 HL03 HL04 HL05  
HL07 HL14 HL23 HM14 HM15  
HM18 NN03 NN04 NN22 NN23  
NN24 NN25 NN26 NN35 NN44  
NN46 NN54 PP03 PP10 PP33  
QQ11



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**